

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-156652  
 (43)Date of publication of application : 31.05.2002

(51)Int.CI. G02F 1/1368  
 G02F 1/1333  
 G09F 9/30  
 H01L 29/786

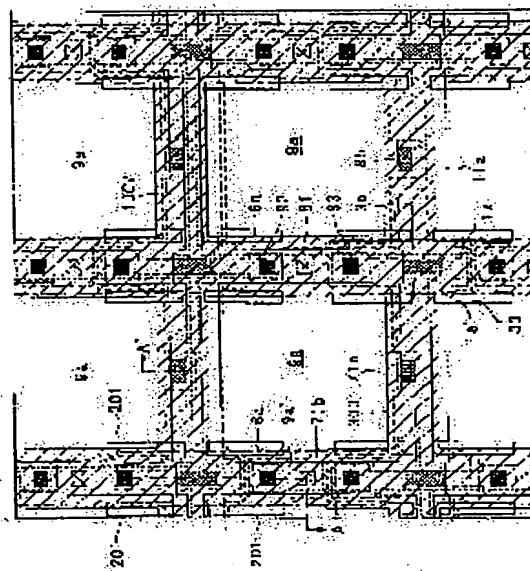
(21)Application number : 2000-351393 (71)Applicant : SEIKO EPSON CORP  
 (22)Date of filing : 17.11.2000 (72)Inventor : TAKAHARA KENICHI

## (54) ELECTRO-OPTICAL DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve pattern accuracy in a semiconductor film pattern that constitutes pixel switching TFTs(Thin Film Transistors) and light resistance while making the laminate body surface on a substrate flat by digging grooves on the substrate for an electro-optical device such as a liquid crystal display or the like.

**SOLUTION:** The electro-optical device is provided with, on a TFT array substrate (10), pixel electrodes (9a), TFTs (30) that are connected to the electrodes and wiring such as scanning lines (3a) that are connected to the TFTs. A semiconductor film pattern including the channel regions of the TFTs is arranged in the grooves that are dug on the substrate and dummy patterns (201) are formed from the same film of the TFTs beside the semiconductor film pattern in the grooves.



## LEGAL STATUS

[Date of request for examination] 22.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] The electro-optic device characterized by having a pixel electrode, the thin film transistor connected to this pixel electrode, and wiring connected to this thin film transistor, arranging the semi-conductor film pattern which includes the channel field of said thin film transistor in Mizouchi dug in said substrate, and forming the dummy pattern in said Mizouchi on a substrate at the side of said semi-conductor film pattern.

[Claim 2] Said dummy pattern is an electro-optic device according to claim 1 characterized by being arranged at both the sides of said semi-conductor film pattern in said Mizouchi.

[Claim 3] Said dummy pattern is an electro-optic device according to claim 1 or 2 characterized by being arranged on the side attachment wall of said slot.

[Claim 4] Said dummy pattern is an electro-optic device given in any 1 term of claims 1-3 characterized by being arranged on the pars basilaris ossis occipitalis of said slot.

[Claim 5] Said dummy pattern is an electro-optic device given in any 1 term of claims 1-4 characterized by consisting of the same film as said semi-conductor film pattern.

[Claim 6] Said dummy pattern is an electro-optic device given in any 1 term of claims 1-5 characterized by consisting of silicon film.

[Claim 7] Said dummy pattern is an electro-optic device given in any 1 term of claims 1-6 partially characterized by conductivity being low at least as compared with said semi-conductor film pattern.

[Claim 8] Said dummy pattern is an electro-optic device according to claim 7 characterized by said conductivity being low in the part which counters said scanning line at least including the scanning line with which said wiring was connected to the gate electrode by which opposite arrangement is carried out to said channel field.

[Claim 9] Said dummy pattern is an electro-optic device given in any 1 term of claims 1-7 characterized by avoiding the plane region which counters said scanning line, and being arranged including the scanning line with which said wiring was connected to the gate electrode by which opposite arrangement is carried out to said channel field.

[Claim 10] Said dummy pattern is an electro-optic device given in any 1 term of claims 1-9 which function also as one electrode among the capacity electrodes of the pair which builds storage capacitance to said pixel electrode, and are characterized by having further the electrode of another side by which opposite arrangement was carried out through the dielectric film at said dummy pattern.

[Claim 11] It is the electro-optic device according to claim 10 which said dummy pattern is installed from the drain field of said semi-conductor film pattern, and is characterized by one [ said ] electrode being a pixel potential side capacity electrode.

[Claim 12] The electrode of said another side is an electro-optic device according to claim 10 or 11 characterized by consisting of a light-shielding film containing a metal or an alloy.

[Claim 13] The electrode of said another side is an electro-optic device given in any 1 term of claims 10-12 characterized by being located on said substrate at the upper layer side of one [ said ] electrode, and being located in a lower layer side rather than said scanning line including the scanning line with which said wiring was connected to the gate electrode by which opposite arrangement is carried out to said channel field.

[Claim 14] The electrode of said another side is an electro-optic device according to claim 13 characterized by being a fixed potential side capacity electrode.

[Claim 15] Said dielectric film is an electro-optic device given in any 1 term of claims 10-14 characterized by consisting of the same film as the gate dielectric film which intervenes between the gate electrode of said thin film transistor, and said channel field.

[Claim 16] The manufacture approach of the electro-optic device characterized by having the process which is the manufacture approach of an electro-optic device of manufacturing the electro-optic device of a publication in any 1 term of claims 1-15, and trenches said substrate, and the process which uses the same resist for said Mizouchi and forms said semi-conductor film pattern and said dummy pattern in coincidence by photolithography processing and etching processing at him.

[Claim 17] The electro-optic device characterized by having a pixel electrode, the thin film transistor connected to this pixel electrode, and wiring connected to this thin film transistor, arranging the semi-conductor film pattern which includes the channel field of said thin film transistor in Mizouchi dug in said substrate, and forming the film of light absorption nature in said Mizouchi on a substrate at the side of said

semi-conductor film pattern.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the electro-optic device of a active-matrix drive method, and belongs to the electro-optic device of the format especially equipped with the thin film transistor for pixel switching (TFT is called suitably below Thin Film Transistor) into the laminated structure on a substrate, and the technical field of the manufacture approach.

[0002]

[Background of the Invention] In the electro-optic device of a TFT active-matrix drive format, if incident light is irradiated by the channel field of TFT for pixel switching established in each pixel, optical leakage current will occur in excitation by light, and the property of TFT will change. It becomes important to shade the incident light to the channel field and its boundary region of TFT especially, in the case of the electro-optic device for the light valves of a projector, since the reinforcement of incident light is high. Then, the light-shielding film which specifies the opening field of each pixel conventionally established in the opposite substrate or it is constituted so that the starting channel field and its boundary region may be shaded with the data line which consists of metal membranes, such as aluminum (aluminum), while passing through a TFT top on a TFT array substrate. Furthermore, the light-shielding film which consists of a refractory metal may be prepared also in the location which counters the TFT bottom on a TFT array substrate. Thus, if a light-shielding film is prepared also in the TFT bottom, when the rear-face reflected light from a TFT array substrate side and two or more electro-optic devices are combined through prism etc. and it constitutes one optical system, it can prevent that return light, such as incident light which runs through prism etc., carries out incidence to TFT of the electro-optic device concerned from other electro-optic devices.

[0003] On the other hand, in this kind of electro-optic device, it becomes backbone for flattening of the front face facing electrooptic material, such as liquid crystal, to operate the electrooptic material concerned good. For this reason, the technique of attaining flattening in the layered product front face finally formed on a substrate is also developed by establishing a slot in a substrate and conventionally, embedding TFT and its wiring into it.

[0004] Moreover, generally by the manufacture approach of this kind of electro-optic device, the technique which forms TFT for pixel switching,

the scanning line, the data line, etc. is adopted by forming on a substrate various kinds of electric conduction film and semi-conductor film which have a predetermined pattern using photolithography processing and etching processing.

[0005]

[Problem(s) to be Solved by the Invention] However, if both technique of trenching the substrate like \*\*\*\* and attaining flattening, and manufacturing technology using photolithography processing etc. are adopted, in case the mask of a predetermined pattern will be used and the resist of a predetermined pattern will be formed during photolithography processing, when the halation resulting from the level difference or slant face of a slot arises and the light for exposure turns to the side of a resist, although it is said thin that the pattern of a resist becomes, there is a trouble. And the degree of such halation changes in three dimension according to the physical relationship of the level difference of a slot, a slant face, and the resist pattern that should be formed. Therefore, generally the semi-conductor film pattern and electric conduction film pattern which are formed of the etching processing through the resist pattern obtained by doing in this way not only become thin, but will have three-dimension-irregularity irregularly, and its nonuniformity of how to become thin is also large. For this reason, it cannot be coped with the simple technique of leaving a resist more thickly supposing a resist becoming thin by halation.

[0006] Furthermore, according to the technique of trenching the substrate like \*\*\*\* and attaining flattening, especially, when the powerful incident light and return light like a projector application are the application by which incidence is carried out, possibility of arriving at the channel field of TFT as internal reflection light or a multiple echo light becomes high by reflecting on the level difference and slant face of such an optical fang furrow. That is, when a substrate is trenched in this way, even if it covers TFT a top and the bottom using various kinds of light-shielding films mentioned above, it will not be enough to prevent the internal reflection light or multiple echo light resulting from the slot concerned, and optical leakage current will occur. And it takes for attaining highly-minute-izing of an electro-optic device, or detailed-ization of a pixel pitch in order to meet a general request called high-definition-izing of a display image in recent years, and it takes for raising the optical reinforcement of incident light that a still brighter image should be displayed, it becomes more difficult to give sufficient protection from light, and the trouble that a flicker, a cross talk, display

nonuniformity, etc. will arise and the grace of a display image will fall by change of the transistor characteristics of TFT after all is.

[0007] This invention is made in view of the trouble mentioned above, and while having the structure where flattening on the front face of a layered product on a substrate was attained by trenching a substrate, the pattern precision in the semi-conductor film pattern which constitutes TFT for pixel switching makes it a technical problem to offer the electro-optic device which was highly excellent in lightfastness, and its manufacture approach.

[0008]

[Means for Solving the Problem] In order that the electro-optic device of this invention may solve the above-mentioned technical problem, on the substrate, it has a pixel electrode, the thin film transistor connected to this pixel electrode, and wiring connected to this thin film transistor, the semi-conductor film pattern which includes the channel field of said thin film transistor in Mizouchi dug in said substrate is arranged, and the dummy pattern is formed in said Mizouchi at the side of said semi-conductor film pattern.

[0009] According to the electro-optic device of this invention, the drive by the active-matrix drive method can be performed by carrying out switching control by the thin film transistor by which the pixel electrode was connected to this. And since the semi-conductor film pattern which includes the channel field of a thin film transistor in Mizouchi dug in the substrate is arranged, the level difference resulting from the thin film transistor in the layered product front face built on a substrate in the electro-optic device concerned or its wiring can be reduced. And the dummy pattern is formed in the side of a semi-conductor film pattern in Mizouchi. For this reason, in case patterning of the semi-conductor film pattern concerned is carried out by photolithography processing and etching processing, the mask part for dummy pattern formation can remove the light for exposure reflected on the level difference or slant face of a slot. That is, by reducing the halation effectiveness resulting from the level difference or slant face of a slot, the pattern precision of the resist for semi-conductor film pattern formation increases, and the pattern precision in the semi-conductor film pattern obtained by subsequent etching also increases. Therefore, while attaining detailed-ization of a semi-conductor film pattern including a channel field, it becomes possible by reducing the variation in this semi-conductor film pattern to attain detailed-ization of a pixel pitch. And since the dummy pattern is especially formed in the side of

a semi-conductor film pattern in Mizouchi, it can prevent partially at least that the internal reflection light which originates in the level difference or slant face of a slot at the time of the actuation after manufacture, and multiple echo light tend to arrive at a channel field effectively by absorption or reflection by the dummy pattern concerned.

[0010] In addition, it is the semantics by which a semi-conductor film pattern may be directly arranged by Mizouchi in this application dug [ "the semi-conductor film pattern is arranged at Mizouchi dug in the substrate", and ] in the substrate, and a semi-conductor film pattern may be arranged at Mizouchi dug in the substrate through other 1 or two or more film, such as an interlayer insulation film. It is the large semantics that a slot is shown in front faces, such as an interlayer insulation film by which the laminating was carried out in short the substrate front face which makes the substrate front face of a semi-conductor film pattern, or on this, and the semi-conductor film pattern is arranged at this Mizouchi. Furthermore, in Mizouchi in this application who includes [ "the dummy pattern is formed in the side of a semi-conductor film pattern in Mizouchi", and ] a pars basilaris ossis occipitalis and a side attachment wall, it is the semantics that some dummy patterns [ at least ] are formed in the side of one side of a semi-conductor film pattern, or both.

[0011] Adopting the structure of trenching a substrate and attaining flattening according to the electro-optic device of this invention, these results, the situation where the pattern precision of a semi-conductor film pattern falls by the halation in a production process is prevented effectively, and it becomes possible to raise the lightfastness after manufacture moreover. Therefore, electrooptic material can be operated good by flattening, detailed-ization of a pixel pitch can be attained by the thin film transistor with the semi-conductor film pattern excellent in pattern precision, even if it is under a severe condition in which powerful incident light and return light moreover carry out incidence, the switching control of the pixel electrode can be carried out good by the thin film transistor by which optical leakage current was reduced, and finally a display of an image bright and high definition by high contrast is attained by this invention.

[0012] In the mode of 1 of the electro-optic device of this invention, said dummy pattern is arranged at both the sides of said semi-conductor film pattern in said Mizouchi.

[0013] according to this mode, in Mizouchi, since it be arrange at both the sides of a semi-conductor film pattern, in case patterning of the

semi-conductor film pattern concerned be carry out by photolithography processing and etching processing , a dummy pattern can remove the light for exposure reflect on the level difference or slant face of a slot by the mask part for dummy pattern formation arrange at both the sides of a semi-conductor film pattern , and can reduce the halation effectiveness further . And since the dummy pattern is especially formed in both the sides of a semi-conductor film pattern, it can prevent much more effectively that the internal reflection light which originates in the level difference or slant face of a slot at the time of the actuation after manufacture, and multiple echo light tend to arrive at a channel field by the dummy pattern concerned.

[0014] In other modes of the electro-optic device of this invention, said dummy pattern is arranged on the side attachment wall of said slot.

[0015] According to this mode , since it be arrange on the side attachment wall of a slot , in case patterning of the semi-conductor film pattern concerned be carry out by photolithography processing and etching processing , a dummy pattern can remove the light for exposure reflect on the level difference or slant face of a slot by the mask part for dummy pattern formation arrange on the side attachment wall of a slot , and can reduce the halation effectiveness further . And since the dummy pattern is especially formed on the side attachment wall of a slot, it can prevent much more effectively that the internal reflection light which originates in the level difference or slant face of a slot at the time of the actuation after manufacture, and multiple echo light tend to arrive at a channel field by the dummy pattern concerned.

[0016] In other modes of the electro-optic device of this invention, said dummy pattern is arranged on the pars basilaris ossis occipitalis of said slot.

[0017] According to this mode, since it is arranged on the pars basilaris ossis occipitalis of a slot, a dummy pattern can remove the light for exposure reflected on the level difference or slant face of a slot by the mask part for dummy pattern formation arranged on the side attachment wall of a slot, in case patterning of the semi-conductor film pattern concerned is carried out by photolithography processing and etching processing. And since the dummy pattern is especially formed on the pars basilaris ossis occipitalis of a slot, it can prevent effectively that the internal reflection light which originates in the level difference or slant face of a slot at the time of the actuation after manufacture, and multiple echo light tend to arrive at a channel field by the dummy pattern concerned.

[0018] Said dummy pattern consists of the same

film as said semi-conductor film pattern in other modes of the electro-optic device of this invention. [0019] Since a dummy pattern consists of the same film as said semi-conductor film pattern according to this mode, the process additional although a dummy pattern is formed is unnecessary. Since especially the light absorption properties (wavelength property etc.) in a channel field become the same as that of it of a dummy pattern and they can absorb the frequency component which is easy to be absorbed in a channel field among the internal reflection light which originates in the level difference or slant face of a slot at the time of the actuation after manufacture, or multiple echo light by the dummy pattern concerned, they are very advantageous.

[0020] Said dummy pattern consists of silicon film in other modes of the electro-optic device of this invention.

[0021] According to this mode, in the side of a semi-conductor film pattern, light can be reduced with the dummy pattern which consists of silicon film, such as polish recon film and amorphous silicon film.

[0022] In other modes of the electro-optic device of this invention, said dummy pattern has partially low conductivity at least as compared with said semi-conductor film pattern.

[0023] this voice -- the parasitic capacitance between both if it depends like, since a dummy pattern will be low conductivity, even if it narrows the distance between layers and carries out opposite arrangement in the layered product [ film / a dummy pattern, wiring of the scanning line etc., or / other / electric conduction ] on a substrate -- most -- or since it does not become a problem at all, it is advantageous.

[0024] Including the scanning line with which said wiring was connected to the gate electrode by which opposite arrangement is carried out to said channel field, in the part which counters said scanning line at least, said conductivity may constitute said dummy pattern from this mode so that low.

[0025] thus, the parasitic capacitance between the scanning line and a dummy pattern since a dummy pattern will be low conductivity in the part concerned which counters although opposite arrangement of a dummy pattern and the scanning line is carried out through an interlayer insulation film etc. if constituted -- most -- or it does not become a problem at all.

[0026] Or in other modes of the electro-optic device of this invention, including the scanning line with which said wiring was connected to the gate electrode by which opposite arrangement is carried out to said channel field, said dummy pattern avoids the plane region which counters

said scanning line, and is arranged.

[0027] Since according to this mode a dummy pattern avoids the plane region which counters the scanning line and is arranged, even if a dummy pattern is conductivity, the parasitic capacitance between the scanning line and a dummy pattern does not pose a problem at all. Furthermore, by constituting the dummy pattern concerned from electric conduction film, since it can use as other electrodes, a part of other components, wiring, etc., it is convenient.

[0028] In other modes of the electro-optic device of this invention, said dummy pattern functions also as one electrode among the capacity electrodes of the pair which builds storage capacitance to said pixel electrode, and equips said dummy pattern with the electrode of another side by which opposite arrangement was carried out through the dielectric film further.

[0029] This voice -- if it depends like, since storage capacitance is built, the potential maintenance property in a pixel electrode will be markedly looked like [a pixel electrode], and will be raised to it. And since one electrode and dummy pattern of such storage capacitance are combination, it is very advantageous when attaining simplification of a laminated structure and a manufacture process.

[0030] Said dummy pattern is installed from the drain field of said semi-conductor film pattern, and one [said] electrode may consist of modes which have this storage capacitance so that it may be a pixel potential side capacity electrode.

[0031] Thus, if constituted, the structure of operating the dummy pattern installed from the semi-conductor film pattern also as a pixel potential side capacity electrode will be acquired comparatively simply.

[0032] The electrode of said another side may consist of modes which have this storage capacitance so that it may consist of a light-shielding film containing a metal or an alloy.

[0033] Thus, if constituted, the electrode of another side which consists of a light-shielding film containing a metal or an alloy, and both with a dummy pattern will enable it to raise the protection from light engine performance further. As a light-shielding film containing a metal or an alloy, the metal simple substance containing at least one of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), an alloy, metal silicide, a polysilicon side, the thing that carried out the laminating of these are mentioned, for example.

[0034] Including the scanning line with which said wiring was connected to the gate electrode by which opposite arrangement is carried out to said

channel field, the electrode of said another side may consist of modes which have this storage capacitance so that it may be located on said substrate at the upper layer side of one [said] electrode and may be located in a lower layer side rather than said scanning line.

[0035] Thus, if constituted, while consists of a dummy pattern, and since the electrode of another side exists in the laminating location between an electrode and the scanning line, the parasitic capacitance between a dummy pattern and the scanning line can be reduced according to existence of the electrode of another side.

[0036] In this case, further, the electrode of said another side may be constituted so that it may be a fixed potential side capacity electrode.

[0037] Thus, if constituted, while consists of a dummy pattern, since a fixed potential side capacity electrode exists in the laminating location between an electrode and the scanning line, the configuration which carries out electromagnetic shielding of the dummy pattern from the scanning line is obtained, and the parasitic capacitance between a dummy pattern and the scanning line can be reduced notably.

[0038] Said dielectric film may consist of modes which have this storage capacitance so that it may consist of the same film as the gate dielectric film which intervenes between the gate electrode of said thin film transistor, and said channel field.

[0039] Thus, if constituted, it is advantageous, when the same film to coincidence formation of the gate dielectric film of a thin film transistor and the dielectric film of storage capacitance is attained and a laminated structure and a manufacture process are simplified.

[0040] In order to solve the above-mentioned technical problem, the manufacture approach of the electro-optic device of this invention is the manufacture approach of an electro-optic device of manufacturing the electro-optic device (the various modes being included) of this invention mentioned above, and is equipped with the process which trenches said substrate, and the process which uses the same resist for said Mizouchi and forms said semi-conductor film pattern and said dummy pattern in coincidence by photolithography processing and etching processing at him.

[0041] According to the manufacture approach of the electro-optic device of this invention, a substrate is trenched first. Then, as compared with forming a semi-conductor film pattern and a dummy pattern separately, since the same resist is used for Mizouchi and a semi-conductor film pattern and a dummy pattern are formed in him by photolithography processing and etching processing at coincidence, when simplifying a

manufacture process, it is advantageous. And the mask part for dummy pattern formation can remove the light for exposure reflected especially on the level difference or slant face of a slot, and the halation effectiveness can be reduced. Therefore, the pattern precision of the resist for semi-conductor film pattern formation increases, and the pattern precision in the semi-conductor film pattern obtained by subsequent etching processing also increases.

[0042] In order that other electro-optic devices of this invention may solve the above-mentioned technical problem, on the substrate, it has a pixel electrode, the thin film transistor connected to this pixel electrode, and wiring connected to this thin film transistor, the semi-conductor film pattern which includes the channel field of said thin film transistor in Mizouchi dug in said substrate is arranged, and the film of light absorption nature is formed in said Mizouchi at the side of said semi-conductor film pattern.

[0043] According to other electro-optic devices of this invention, the film of light absorption nature is formed in the side of a semi-conductor film pattern in Mizouchi. For this reason, it can prevent partially at least that the internal reflection light which originates in the level difference or slant face of a slot at the time of the actuation after manufacture, and multiple echo light tend to arrive at a channel field effectively by absorption or reflection by the film of the light absorption nature concerned. Consequently, adopting the structure of trenching a substrate and attaining flattening, it becomes possible to raise the lightfastness after manufacture, and, finally a display of an image bright and high definition by high contrast is attained by this invention.

[0044] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0045]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained based on a drawing. The following operation gestalten apply the electro-optic device of this invention to liquid crystal equipment.

[0046] (Configuration in the pixel section of an electro-optic device) The configuration in the pixel section of the electro-optic device in the operation gestalt of this invention is first explained with reference to drawing 3 from drawing 1. Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [ which constitutes the image display field of an electro-optic device ] a matrix, and wiring. Drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which

the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other. Drawing 3 is the A-A' sectional view of drawing 2. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 3.

[0047] In drawing 1, TFT30 for carrying out switching control of pixel electrode 9a and the pixel electrode 9a concerned, respectively is formed in two or more pixels formed in the shape of [ which constitutes the image display field of the electro-optic device in this operation gestalt ] a matrix, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in the liquid crystal as an example of electrooptic material through pixel electrode 9a is carried out between the counterelectrodes formed in the opposite substrate mentioned later. When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. The transmission to incident light decreases according to the electrical potential difference impressed in the unit of each pixel when it was in no MARI White mode, if it is in NOMA reeve rack mode, the transmission to incident light will be increased according to the electrical potential difference impressed in the unit of each pixel, and light with the contrast according to a picture signal will carry out outgoing radiation from an electro-optic device as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode.

[0048] In drawing 2, on the TFT array substrate of an electro-optic device, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of

a matrix, and data-line 6a and scanning-line 3a are prepared respectively along the boundary of pixel electrode 9a in every direction.

[0049] Moreover, scanning-line 3a is arranged so that channel field 1a' shown in the slash field of a Fig. Nakamigi riser among semi-conductor layer 1a may be countered, and scanning-line 3a functions as a gate electrode (with this operation gestalt, especially scanning-line 3a is broadly formed in the part used as the gate electrode concerned). Thus, TFT30 for pixel switching by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.

[0050] As shown in drawing 2 and drawing 3, with this operation gestalt, the capacity line 300 has the multilayer structure to which the laminating of the 1st film 72 which consists of conductive polish recon film etc., and the 2nd film 73 which consists of metal silicide film containing a refractory metal etc. was carried out. Among these, the 2nd film 73 has a function as a top light-shielding film which shades TFT30 from incident light in a TFT [ besides the function as the capacity line 300 or a fixed potential side capacity electrode of storage capacitance 70 ]30 top. Moreover, the 1st film 72 has a function as a light absorption layer arranged between the 2nd film 73 as a top light-shielding film besides the function as the capacity line 300 or a fixed potential side capacity electrode of storage capacitance 70, and TFT30. On the other hand, junction layer 71a by which opposite arrangement is carried out through a dielectric film 75 to the capacity line 300 It has a function as a light absorption layer arranged between the 2nd film 73 as a top light-shielding film besides the function as a pixel potential side capacity electrode of storage capacitance 70, and TFT30, and has further a function as a middle conductive layer which carries out trunk connection of pixel electrode 9a and the high concentration drain field 1e of TFT30.

[0051] and especially with this operation gestalt, as show in drawing 2 and drawing 3, slot 10cv (the bottom of drawing 2 Nakamigi be show by the slash field of \*\* ) be dig in general in the plane region of the shape of a grid corresponding to the gap field of pixel electrode 9a , it apply to a pars basilaris ossis occipitalis from the side attachment wall of slot 10cv , and the dummy pattern 201 which showed the flat surface profile to both the sides of semi-conductor layer 1a by the thick wire in drawing 2 be form in the TFT array substrate 10 . The configuration and the operation effectiveness of this dummy pattern 201 are behind explained in full detail with reference to

drawing 8 R> 8 from drawing 4.

[0052] With this operation gestalt, storage capacitance 70 is formed by carrying out opposite arrangement of junction layer 71a as a pixel potential side capacity electrode connected to high concentration drain field 1e (and pixel electrode 9a) of TFT30, and a part of capacity line 300 as a fixed potential side capacity electrode through a dielectric film 75.

[0053] The capacity line 300 was seen superficially, and is extended in the shape of a stripe along with scanning-line 3a, and the part which laps with TFT30 has projected it under drawing 2 Nakagami. And it sees superficially to the TFT30 up side on the TFT array substrate 10, the grid-like top light-shielding film is constituted, and by data-line 6a extended, respectively and the capacity line 300 extended in the longitudinal direction in drawing 2, respectively carrying out a phase crossover, and forming it in the lengthwise direction in drawing 2 has prescribed the opening field which is each pixel.

[0054] On the other hand, bottom light-shielding film 11a is prepared in the TFT30 bottom on the TFT array substrate 10 in the shape of a grid.

[0055] The 2nd film 73 and bottom light-shielding film 11a which constitute an example of these top light-shielding films consist of the metal simple substance containing at least one of refractory metals, such as Ti, Cr, W, Ta, Mo, and Pb, an alloy, metal silicide, a polysilicon side, a thing that carried out the laminating of these, respectively. Moreover, the capacity line 300 which comes to contain such 2nd film 73 has multilayer structure, since the 1st film 72 is conductive polish recon film, it is not necessary to form from a conductive ingredient about the 2nd film 73 to apply but, and if not only the 1st film 72 but the 2nd film 73 is formed from the electric conduction film, it can carry out [ low \*\*\*\* ]-izing of the capacity line 300 more.

[0056] Moreover, in drawing 3 , the dielectric film 75 arranged between junction layer 71a as a capacity electrode and the capacity line 300 consists of silicon oxide film, such as comparatively thin HTO film of about 5·200nm of thickness, and LTO film, or a silicon nitride film. As long as membranous dependability is fully acquired from a viewpoint which increases storage capacitance 70, a dielectric film 75 is so good that it is thin.

[0057] The 1st film 72 which it not only functions as a light absorption layer, but constitutes a part of capacity line 300 consists of polish recon film of about 150nm of thickness. Moreover, the 2nd film 73 which it not only functions as a protection from-light layer, but constitutes a part of other capacity lines 300 consists of tungsten

silicide film of about 150nm of thickness. Thus, degradation of a dielectric film 75 can be prevented by constituting the 1st film 72 arranged at the side which touches a dielectric film 75 from polish recon film, and constituting junction layer 71a which touches a dielectric film 75 from polish recon film. Furthermore, since the quality of a dielectric film 75 will be raised without putting in a photoresist process after formation of a dielectric film 75 if the capacity line 300 is formed continuously in case such a capacity line 300 is formed on a dielectric film 75, it becomes possible to form the dielectric film 75 concerned thinly, and, finally storage capacitance 70 can be increased.

[0058] As shown in drawing 2 and drawing 3, data-line 6a is connected to junction layer 71b for trunk connection through the contact hole 81, and junction layer 71b is further connected to 1d of high concentration source fields electrically through the contact hole 82 among semi-conductor layer 1a which consists of polish recon film. In addition, coincidence formation of the junction layer 71b is carried out from the same film as junction layer 71a with many functions mentioned above.

[0059] Moreover, it is installed in the perimeter from the image display field where pixel electrode 9a has been arranged, it connects with the constant source of potential electrically, and let the capacity line 300 be fixed potential. The constant source of potential of a positive supply or a negative supply supplied to the data-line drive circuit (it mentions later) which controls the sampling circuit which supplies the scanning-line drive circuit (it mentions later) and picture signal for supplying the scan signal for driving TFT30 to scanning-line 3a as a starting constant source of potential to data-line 6a is sufficient, and the constant potential supplied to the counterelectrode 21 of the opposite substrate 20 is also available. Furthermore, in order to avoid that the potential fluctuation does a bad influence to TFT30 also about bottom light-shielding film 11a, it is good to install in the perimeter from an image display field, and to connect with the constant source of potential like the capacity line 300.

[0060] Pixel electrode 9a is electrically connected to high concentration drain field 1e among semi-conductor layer 1a through contact holes 83 and 85 by relaying junction layer 71a. namely, -- this operation gestalt -- junction layer 71a -- the function as a pixel potential side capacity electrode of storage capacitance 70, and the function as a light absorption layer -- in addition, the function which carries out trunk connection of the pixel electrode 9a to TFT30 is achieved. Thus, if the junction layers 71a and 71b are used as a junction layer, even if the distance between layers

is long to about 2000nm, between both is comparatively connectable good in two or more in-series contact holes of a minor diameter, avoiding the technical difficulty which connects between both in one contact hole, it becomes possible [ raising a pixel numerical aperture ], etching at the time of contact hole puncturing runs, and it is useful also to prevention.

[0061] The electro-optic device is equipped with the transparent TFT array substrate 10 and the transparent opposite substrate 20 by which opposite arrangement is carried out at this in drawing 2 and drawing 3. The TFT array substrate 10 consists of for example, a quartz substrate, a glass substrate, and a silicon substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate.

[0062] In slot 10cv of the shape of a grid dug in the TFT array substrate 10, wiring, a component, etc. of scanning-line 3a, data-line 6a, and TFT30 grade are embedded. Thereby, the level difference between the field where wiring, a component, etc. exist in the layered product front face on the TFT array substrate 10 (namely, front face of the 3rd interlayer insulation film 43 used as the substrate of pixel electrode 9a), and the field not existing is eased, and a poor image, such as poor orientation of the liquid crystal which finally originated in the level difference, can be reduced.

[0063] As shown in drawing 3, pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive film, such as for example, ITO (Indium-Tin Oxide) film. Moreover, the orientation film 16 consists of organic film, such as for example, polyimide film.

[0064] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive film, such as for example, ITO film. Moreover, the orientation film 22 consists of organic film, such as polyimide film.

[0065] You may make it prepare the light-shielding film of the shape of the shape of a grid, and a stripe in the opposite substrate 20. It can prevent more certainly that the incident light from the opposite substrate 20 side invades into channel field 1a', low concentration source field 1b, and low concentration drain field 1c by the light-shielding film on the opposite substrate 20 concerned with the capacity line 300 and data-line 6a which constitute a top light-shielding film from

taking such a configuration like the above-mentioned. furthermore, the field where incident light is irradiated to the light-shielding film on such an opposite substrate 20 at least -- high -- it serves to prevent the temperature rise of an electro-optic device by forming by the film [ \*\*\*\* ]. In addition, in this way, the light-shielding film on the opposite substrate 20 is formed so that it may be located inside the protection-from-light layer which sees superficially preferably and consists of a capacity line 300 and data-line 6a. Thereby, the effectiveness of such protection from light and temperature rise prevention is acquired by the light-shielding film on the opposite substrate 20, without lowering the numerical aperture of each pixel.

[0066] Thus, between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and the counterelectrode 21 which were constituted may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material, such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.

[0067] Furthermore, the substrate insulator layer 12 is formed in the bottom of TFT30 for pixel switching. The substrate insulator layer 12 has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of the front face of the TFT array substrate 10, the dirt which remains after washing, by being formed all over the TFT array substrate 10 besides the function which carries out layer insulation of TFT30 from bottom light-shielding film 11a.

[0068] In drawing 3 TFT30 for pixel switching It has LDD (Lightly Doped Drain) structure. Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, 1d list of high concentration source fields of low concentration source field 1b and low concentration drain field 1c of the insulator layer 2 containing the gate dielectric film with which

scanning-line 3a and semi-conductor layer 1a are insulated, and semi-conductor layer 1a, and semi-conductor layer 1a is equipped with high concentration drain field 1e.

[0069] On scanning-line 3a, the 1st interlayer insulation film 41 with which the contact hole 83 which leads to the contact hole 82 and high concentration drain field 1e which lead to 1d of high concentration source fields was punctured respectively is formed.

[0070] On the 1st interlayer insulation film 41, the capacity line 300 is formed at junction layer 71a and 71b list, and the 2nd interlayer insulation film 42 with which the contact hole 81 and contact hole 85 which lead to the junction layers 71a and 71b, respectively were punctured respectively is formed on these.

[0071] In addition, with this operation gestalt, activation of the ion poured into the polish recon film which constitutes semi-conductor layer 1a and scanning-line 3a may be attained by performing 1000-degree C baking to the 1st interlayer insulation film 41. On the other hand, you may make it aim at relaxation of the stress produced near the interface of the capacity line 300 by not performing such baking to the 2nd interlayer insulation film 42.

[0072] Data-line 6a is formed on the 2nd interlayer insulation film 42, and the 3rd interlayer insulation film 43 with which the contact hole 85 which leads to junction layer 71a was formed is formed on these. Pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 43 constituted in this way.

[0073] (The configuration and the operation effectiveness of a dummy pattern) Next, in the operation gestalt of the electro-optic device mentioned above with reference to drawing 8 from drawing 4, the configuration and the operation effectiveness of the dummy pattern 201 which are established in slot 10cv of the TFT array substrate 10 are explained in full detail. Drawing 4 is a top view which extracts the dummy pattern 201 among drawing 2 here with semi-conductor layer 1a and scanning-line 3a (a drawing middle point line shows), and is shown, and drawing 5 is the C-C'C-C [ in / it is a sectional view and / in drawing 6 / the example of a comparison ]' sectional view of drawing 4. It is process drawing shown on the cross section corresponding to [ in the dummy pattern 201 / drawing 7 ] a C-C' cross section for a patterning process, and drawing 8 is process drawing showing the patterning process in the example of a comparison on the cross section corresponding to a C-C' cross section.

[0074] As shown in drawing 4 and drawing 5, in slot 10cv dug in the TFT array substrate 10, semi-conductor layer 1a which contains channel

field 1a' of TFT30 through the substrate insulator layer 12 is arranged, and the dummy pattern 201 of light absorption nature is formed in both the sides of semi-conductor layer 1a except a scanning-line 3a field. It is formed in the base from the edge of slot 10cv of the substrate insulator layer 12, covering the dummy pattern 201. Therefore, as shown in drawing 5, even if light L1 (namely, a part of internal reflection light resulting from incident light, return light, or it and multiple echo light) arrives at the level difference or slant face of a slot at the time of actuation of the electro-optic device concerned, light L1 is partially removed at least by the absorption or reflection by the dummy pattern 201. For this reason, the light L2 which reaches semi-conductor layer 1a by making the level difference or slant face of a slot into an optical path is decreased by existence of the dummy pattern 201 compared with light L1.

[0075] Here, the example of a comparison shown in drawing 6 removes the dummy pattern 201 from the configuration of this operation gestalt shown in drawing 5. As shown in drawing 6, even if light L1 arrives at the level difference or slant face of a slot at the time of actuation of an electro-optic device, in the case of the example of a comparison, there is no absorption or reflection by the dummy pattern 201. For this reason, the light L2 which reaches semi-conductor layer 1a by making the level difference or slant face of a slot into an optical path is hardly decreased compared with light L1. That is, in this example of a comparison, it will originate in existence of slot 10cv, and optical leakage current will occur in TFT which comes to contain semi-conductor layer 1a at the time of actuation.

[0076] It becomes possible to raise lightfastness, adopting the structure of digging slot 10cv in the TFT array substrate 10, and attaining flattening according to this operation gestalt so that drawing 5 and drawing 6 may show. Therefore, liquid crystal can be operated good by flattening, and even if it is under a severe condition in which powerful incident light and return light moreover carry out incidence, the switching control of the pixel electrode 9a can be carried out good by TFT30 by which optical leakage current was reduced.

[0077] With this operation gestalt, as shown in drawing 2 and drawing 3, various light-shielding films are performing protection from light to TFT30 from the upper and lower sides here. That is, to the incident light which carries out incidence, the capacity line 300 and data-line 6a function as a top light-shielding film from the bottom (namely, incidence side of incident light) in an electro-optic device. On the other hand, to the return light

which carries out incidence, bottom light-shielding film 11a functions as a bottom light-shielding film literally from the bottom (namely, outgoing radiation side of incident light) in the electro-optic device concerned. Therefore, the light L1 shown in drawing 5 is considered not to exist in practice. However, incident light contains the slanting light which carries out incidence from across to a substrate 10. For example, the incident angle contains the component from which even ten - about 15 degrees shift [perpendicular] about 10%. Return light contains slanting light similarly. For this reason, it is reflected on the top face of a substrate 10, the top face of bottom light-shielding film 11a, etc., or slanting light is reflected on the inferior surface of tongue of a top light-shielding film etc., these are further reflected by other interfaces in the electro-optic device concerned, and internal reflection light and multiple echo light are generated. Therefore, it can be said that the effectiveness of the dummy pattern 201 of TFT30 which shades by the side of semi-conductor layer 1a like this operation gestalt since it may exist even if it has various light-shielding films up and down of the light L1 shown in drawing 5 is large.

[0078] In addition, with this operation gestalt, as shown in drawing 4, the dummy pattern 201 avoids the plane region which counters scanning-line 3a, and is arranged. For this reason, even if the dummy pattern 201 is conductivity and it is low conductivity, the parasitic capacitance between scanning-line 3a and the dummy pattern 201 does not pose a problem at all on most or practice.

[0079] Furthermore, with this operation gestalt, in case patterning of semi-conductor layer 1a and the dummy pattern 201 is carried out by the photolithography processing and etching processing to the semi-conductor layer 1 as shown in drawing 7 since the dummy pattern 201 is formed in both the sides of semi-conductor layer 1a as shown in drawing 4 and drawing 5, the mask part for dummy pattern formation can remove the light for exposure reflected on the level difference or slant face of a slot.

[0080] That is, as shown in drawing 7, in case semi-conductor layer 1a of this operation gestalt and the dummy pattern 201 are formed, as first shown in the upper case of drawing 7, the semi-conductor layer 1 is formed the whole surface on the substrate insulator layer 12, and a photoresist 600 is further formed on it. And a photoresist 600 is exposed by the light Le for exposure through the mask (reticle) 601 with the protection from-light pattern 602 corresponding to semi-conductor layer 1a and the dummy pattern 201. Next, as shown in the lower berth of drawing

7, a part for the non-hard spot of a photoresist 600 is removed, and photoresist 600a which has a pattern corresponding to semi-conductor layer 1a and the dummy pattern 201 is formed. Then, after calcinating this photoresist 600a, semi-conductor layer 1a and the dummy pattern 201 as shown in drawing 4 and drawing 5 are formed by etching the semi-conductor layer 1 through this.

[0081] Therefore, the light Le for exposure is removed in the level difference of a slot, or the upper part of a slant face in the exposure phase shown in the upper case of drawing 7 by protection-from-light pattern 602 part for dummy pattern formation. For this reason, the light Le for exposure is hardly reflected on the level difference or slant face of a slot. Therefore, as shown in the lower berth of drawing 7, the halation effectiveness by the light for exposure reflecting does not show up on the level difference or slant face of a slot, but photoresist 600a after patterning can be said to be very high [ patterning precision ]. Consequently, the pattern precision of semi-conductor layer 1a which etches photoresist 600a and is obtained also becomes very high.

[0082] Here, the example of a comparison shown in drawing 8 removes the dummy pattern 201 from the configuration of this operation gestalt shown in drawing 7. The light Le1 for exposure turned to the level difference or slant face of a slot among the light Le for exposure in the exposure phase shown in the upper case of drawing 8 Mask 601' with protection-from-light pattern 602' for semi-conductor layer 1a formation is penetrated. (There being no protection-from-light pattern part for dummy pattern formation) It is reflected on the starting level difference or slant face of a slot, and results [ from the side ] also in the part for semi-conductor layer 1a formation among photoresists 600 as the reflected light Le2. That is, in the case of the example of a comparison, the halation effectiveness by the light Le1 for exposure reflecting shows up notably on the level difference or slant face of a slot. Therefore, as shown in the lower berth of drawing 8, photoresist 600a' after patterning has a low patterning precision. Consequently, the pattern precision of the semi-conductor layer which etches this photoresist 600a' and is obtained will also become low.

[0083] While attaining detailed-ization of semi-conductor layer 1a containing channel field 1a', according to this operation gestalt, it becomes possible by reducing the variation in the configuration of semi-conductor layer 1a to attain detailed-ization of a pixel pitch, so that drawing 7 and drawing 8 may show.

[0084] As explained with reference to drawing 8 from drawing 4 above, according to this operation

gestalt Adopting the structure of digging slot 10cv in the TFT array substrate 10, and attaining flattening by forming the dummy pattern 201 The situation where the pattern precision of semi-conductor film pattern 1a falls by the halation in a production process is prevented effectively (refer to drawing 7 and drawing 8), and it becomes possible to raise the lightfastness of the electro-optic device concerned after manufacture moreover (refer to drawing 5 and drawing 6).

[0085] The process additional since the dummy pattern 201 consists of the same film as semi-conductor layer 1a, such as for example, polish recon film and amorphous silicon film, although the dummy pattern 201 is formed especially with this operation gestalt is unnecessary. In addition, since the light absorption property in channel field 1a' becomes the same as that of it of the dummy pattern 201, it is very advantageous from a viewpoint which reduces the optical leakage current which produces it in channel field 1a' since the light of the frequency component which is easy to be absorbed by channel field 1a' is absorbable with the dummy pattern 201 at the time of the actuation after manufacture.

[0086] With this operation gestalt explained above, even if it constitutes the dummy pattern 201 so that it may be arranged only at \*\*\*\* of semi-conductor layer 1a although it is arranged at both the sides of semi-conductor layer 1a, a certain amount of similar effectiveness is acquired. For example, what is necessary is to form the dummy pattern 201 only in \*\*\*\*, without adding unreasonableness to a layout, when it is difficult to arrange the dummy pattern 201 by both side of semi-conductor layer 1a in view of arrangement of wiring in the perimeter of semi-conductor layer 1a, a component, etc. Moreover, with this operation gestalt, on the upper part of a slot, the dummy pattern 201 is arranged so that it may straddle on the side attachment wall of a slot, and a pars basilaris ossis occipitalis. However, the dummy pattern 201 may be arranged so that it may straddle only on the side attachment wall of a slot, and a pars basilaris ossis occipitalis, and it may be arranged on the side attachment wall of a slot only at a chisel or pars-basilaris-ossis-occipitalis top. Similar effectiveness is acquired as long as it is arranged by side of semi-conductor layer 1a in dummy pattern 201 fang furrow in any case.

[0087] By carrying out the laminating of many conductive layers with the operation gestalt explained above, as shown in drawing 3 Although it is easing by digging slot 10cv to the TFT array substrate 10, that a level difference arises to the field in alignment with data-line 6a and scanning-line 3a in the substrate side (namely,

front face of the 3rd interlayer insulation film 43) of pixel electrode 9a. In addition, the substrate insulator layer 12, the 1st interlayer insulation film 41, the 2nd interlayer insulation film 42, and the 3rd interlayer insulation film 43 are trenched. By embedding wiring and the TFT30 grade of data-line 6a etc., may perform flattening processing and By grinding the level difference of the top face of the 3rd interlayer insulation film 43 or the 2nd interlayer insulation film 42 by CMP (Chemical Mechanical Polishing) processing etc. Or the flattening processing concerned may be performed by forming in Taira and others using organic [SOG] (Spin On Glass).

[0088] Furthermore, although TFT30 for pixel switching has LDD structure with the operation gestalt explained above as preferably shown in drawing 3, you may be TFT of the self aryne mold which may have the offset structure which does not drive an impurity into low-concentration source field 1b and low-concentration drain field 1c, drives in an impurity by high concentration by using as a mask the gate electrode which consists of a part of scanning-line 3a, and forms the high-concentration source and a drain field in self align. Moreover, although considered as the single gate structure which has arranged one gate electrode of TFT30 for pixel switching among 1d [of high concentration source fields], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a joint with a channel, the source, and a drain field can be prevented, and the current at the time of OFF can be reduced.

[0089] (Various gestalten of a dummy pattern) Next, it replaces with the dummy pattern 201 shown in drawing 5 with reference to drawing 13 from drawing 9, and various gestalten employable as a dummy pattern are explained. Drawing 9 to drawing 13 is a top view which extracts a dummy pattern here like drawing 4 with semi-conductor layer 1a and scanning-line 3a (a drawing middle point line shows), and is shown in it, respectively.

[0090] With the gestalt shown in drawing 9, as for the dummy pattern 202, width of face is widely formed corresponding to the width of face of semi-conductor layer 1a being narrow. About other configurations, it is the same as that of the case of the operation gestalt shown in drawing 4 from drawing 1. Thus, if constituted, only a part with the large formation field of the dummy pattern 202 will have the protection-from-light function raised.

[0091] With the gestalt shown in drawing 10, the dummy pattern 203 is crossed and extended in scanning-line 3a. About other configurations, it is

the same as that of the case of the operation gestalt shown in drawing 4 from drawing 1. Thus, if constituted, only a part with the large formation field of the dummy pattern 202 will have the protection-from-light function raised.

[0092] However, with the gestalt shown in drawing 10, the dummy pattern 203 is preferably made into low conductivity in the part which counters scanning-line 3a at least. thus, the parasitic capacitance between the dummy pattern 203 and scanning-line 3a if constituted -- most -- or it does not become a problem at all.

[0093] With the gestalt shown in drawing 11, as for the dummy pattern 204, width of face is widely formed corresponding to the width of face of semi-conductor layer 1a being narrow. About other configurations, it is the same as that of the case of the gestalt shown in drawing 1010. Thus, if constituted, only a part with the large formation field of the dummy pattern 204 will have the protection-from-light function raised.

[0094] The dummy pattern 205 is equipped with dummy pattern 205a installed from the drain field of semi-conductor layer 1a, and dummy pattern 205b divided from semi-conductor layer 1a with the gestalt shown in drawing 12. And dummy pattern 205a functions also as a pixel potential side capacity electrode preferably among the capacity electrodes of the pair which builds storage capacitance to a pixel electrode (liquid crystal capacity). thus -- if constituted -- dummy pattern 205a -- using -- storage capacitance -- independent -- or (namely, the storage capacitance 70 shown in drawing 2 and drawing 3 -- replacing with) it can build additionally (namely, the storage capacitance 70 shown in drawing 2 and drawing 3 -- adding). And since such a fixed potential side capacity electrode and dummy pattern 205a are combination, simplification of a laminated structure and a manufacture process can be attained. About other configurations, it is the same as that of the case of the operation gestalt shown in drawing 4 from drawing 1.

[0095] In addition, about the dummy pattern 205 shown in drawing 12, the after-mentioned and explanation of an and (the 1st operation gestalt of a manufacture process) (the 2nd operation gestalt of a manufacture process) detailed by the way are added.

[0096] With the gestalt shown in drawing 13, the dummy pattern 206 is installed from the drain field of semi-conductor layer 1a. And the dummy pattern 206 functions also as a fixed potential side capacity electrode preferably among the capacity electrodes of the pair which builds storage capacitance to a pixel electrode (liquid crystal capacity). thus -- if constituted -- the dummy pattern 206 -- using -- storage capacitance --

independent -- or (namely, the storage capacitance 70 shown in drawing 2 and drawing 3 -- replacing with) it can build additionally (namely, the storage capacitance 70 shown in drawing 2 and drawing 3 -- adding). And since the capacity electrode and the dummy pattern 206 of such storage capacitance are combination, simplification of a laminated structure and a manufacture process can be attained. In addition, the dummy pattern 206 is crossed and extended in scanning-line 3a, and it can enlarge the plane region which makes storage capacitance at the same time the protection-from-light function is raised. About other configurations, it is the same as that of the case of the operation gestalt shown in drawing 4 from drawing 1.

[0097] In addition, about the dummy pattern 206 shown in drawing 13, explanation of the below-mentioned (3rd operation gestalt of a manufacture process) detailed by the way is added.

[0098] (The 1st operation gestalt of a manufacture process) Next, the 1st operation gestalt of the manufacture process of the electro-optic device by this invention is explained with reference to drawing 16 from drawing 14. It is process drawing showing order for the situation near semi-conductor layer 1a of an electro-optic device [ in / in drawing 14 / each process of the 1st operation gestalt of a manufacture process ] here later on with a top view. Drawing 15 It is process drawing showing order for the situation near semi-conductor layer 1a of the electro-optic device in each process of the 1st operation gestalt of a manufacture process later on with the D-D' sectional view of drawing 14. Drawing 16 It is process drawing showing order for the situation near semi-conductor layer 1a of the electro-optic device in each process of the 1st operation gestalt of a manufacture process later on with the E-E' sectional view of drawing 14.

[0099] The dummy pattern formed with the 1st operation gestalt of this manufacture process is the same as that of what was shown in drawing 12. That is, the dummy pattern 205 comes to contain dummy pattern 205a which functions also as a pixel potential side capacity electrode installed from the drain field of semi-conductor layer 1a, and dummy pattern 205b divided from semi-conductor layer 1a here.

[0100] As first shown in the process (1) of drawing 16 from drawing 14, the TFT array substrates 10, such as a quartz substrate, hard glass, and a silicon substrate, are prepared, and slot 10cv whose flat-surface configuration it is about 870nm in depth, and is a grid-like is dug in a photolithography list by dry cleaning and wet etching. Here, preferably, annealing treatment is carried out at inert gas ambient atmospheres,

such as N<sub>2</sub> (nitrogen), and an about 900-1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease.

[0101] Then, the whole surface of the TFT array substrate 10 processed in this way -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd, -- sputtering -- about 100-500nm thickness -- the light-shielding film of about 200nm thickness is formed preferably. And by the photolithography and etching, a flat-surface configuration forms grid-like bottom light-shielding film 11a.

[0102] Next, at the process (2) of drawing 16, the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on bottom light-shielding film 11a from drawing 14. The thickness of this substrate insulator layer 12 may be about about 500-2000nm.

[0103] Then, about 450-550 degrees C of amorphous silicon film are preferably formed comparatively on the substrate insulator layer 12 with the reduced pressure CVD (for example, CVD with a pressure of about 20-40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in a low-temperature environment. then, \*\*\*\*\* which performs annealing treatment of 4 - 6 hours preferably at about 600-700 degrees C in nitrogen-gas-atmosphere mind for about 1 to 10 hours -- the polish recon film 1 -- the particle size of about 50-200nm -- solid phase growth is carried out until it becomes the particle size of about 100nm preferably. As an approach of carrying out solid phase growth, the annealing treatment using RTA (Rapid Thermal Anneal) is sufficient, and the laser annealing using an excimer laser etc. is sufficient. Under the present circumstances, according to whether TFT30 for pixel switching is used as an n channel mold, or it is made a p channel mold, the dopant of V group element or an III group element may be slightly doped by an ion implantation etc. And the dummy pattern 205 (namely, dummy patterns 205a and 205b) which has semi-conductor layer 1a which has a predetermined pattern, and a predetermined pattern by the photolithography and etching is formed.

[0104] Especially with this operation gestalt, since the halation effectiveness is reduced in case patterning of semi-conductor layer 1a and the

dummy pattern 205 is performed like the above-mentioned (refer to drawing 7), the pattern precision of these semi-conductors layer 1a and the dummy pattern 205 is raised.

[0105] Then, semi-conductor layer 1a which constitutes TFT30 -- the temperature of about 900-1300 degrees C -- desirable -- the temperature of about 1000 degrees C -- oxidizing thermally -- lower layer gate dielectric film -- forming -- continuing -- a reduced pressure CVD method etc. -- or the insulator layer 2 which consists of multilayer high-temperature-oxidation by this silicon film (HTO film) which forms the upper gate dielectric film, or a silicon nitride film (gate dielectric film is included) is formed by carrying out by continuing both. consequently, semi-conductor layer 1a and the dummy pattern 205 -- respectively -- the thickness of about 30-150nm -- desirable -- the thickness of about 35-50nm -- becoming -- the thickness of an insulator layer 2 -- the thickness of about 20-150nm -- it becomes the thickness of about 30-100nm preferably.

[0106] Then, where semi-conductor layer 1a is covered by the photoresist 610, only the specified quantity set up beforehand dopes the dopants DP, such as boron, to the dummy pattern 601 by an ion implantation etc., and the conductivity of arbitration is given to it to the dummy pattern 605. However, with this operation gestalt, in order not to use the dummy pattern 605 as a capacity electrode etc., conductivity may not be given. On the contrary, as shown in drawing 10 and drawing 11, when forming a dummy pattern also in the plane region which laps with scanning-line 3a, about the part which laps with scanning-line 3a at least, it is desirable by preparing a mask and not carrying out the ion implantation of the dopant DP to make it low conductivity (that is, the parasitic capacitance between scanning-line 3a and a dummy pattern can be reduced).

[0107] Furthermore, in order to control the threshold voltage Vth of TFT30 separately for pixel switching simultaneous with the ion implantation of such a dopant DP, only the specified quantity set up beforehand dopes dopants, such as boron, by an ion implantation etc. to an N channel field or a P channel field among semi-conductor layer 1a.

[0108] Next, at the process (3) of drawing 16, the polish recon film is deposited with a reduced pressure CVD method etc. from drawing 14, thermal diffusion of Lynn (P) is carried out further, and this polish recon film is electric-conduction-ized. Or the doped silicon film which introduced P ion into membrane formation and coincidence of this polish recon film may be used. The thickness of this polish recon film is

about 350nm preferably in about 100-500nm thickness. And scanning-line 3a of the predetermined pattern containing the gate electrode of TFT30 is formed by the photolithography and etching.

[0109] For example, when setting TFT30 to TFT of an n channel mold with LDD structure, in order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first, the dopant of V group elements, such as P, is doped by low concentration, using scanning-line 3a (gate electrode) as a mask (with for example, dose which is one to  $3 \times 10^{13}/\text{cm}^2$  about P ion). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'. Furthermore, in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, the resist layer which has a flat-surface pattern with wide width of face rather than scanning-line 3a is formed on scanning-line 3a. then, the dopant of V group elements, such as P, is doped by high concentration (for example, P ion -- the dose of one to  $3 \times 10^{15}/\text{cm}^2$ ). In addition, it is good also as TFT of offset structure, without, for example, performing a low-concentration dope, and it is good also as TFT of a self aryne mold by the ion-implantation technique using P ion, B ion, etc., using scanning-line 3a as a mask. Scanning-line 3a is further formed into low resistance by the dope of this impurity.

[0110] Next, at the process (4) of drawing 16, the 1st interlayer insulation film 41 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS gas, TEB gas, TMOP gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on scanning-line 3a from drawing 14. The thickness of this 1st interlayer insulation film 12 may be about about 500-2000nm. Preferably, annealing treatment is carried out at an elevated temperature with an extent of 800 degrees C, and the membranous quality of an interlayer insulation film 41 is raised here.

[0111] Then, coincidence puncturing of the non-illustrated contact holes 82 and 83 (refer to drawing 2 and drawing 3) is carried out by dry etching to an interlayer insulation film 41, such as reactive ion etching and reactant ion beam etching.

[0112] Then, the polish recon film is deposited with a reduced pressure CVD method etc., thermal diffusion of Lynn (P) is carried out further, and this polish recon film is electric-conduction-ized. Or the doped silicon film which introduced P ion into membrane formation and coincidence of this polish recon film may be used. The thickness of this polish recon film is

about 150nm preferably in about 100-500nm thickness. And non-illustrated pixel electrode junction layer 71a and data-line junction layer 71b (refer to drawing 2 and drawing 3) are formed by the photolithography and etching.

[0113] Then, the dielectric film 75 which consists of high-temperature-oxidation silicon film (HTO film) or a silicon nitride film by the reduced pressure CVD method, a plasma-CVD method, etc. is deposited at the comparatively thin thickness of about 50nm of thickness on pixel electrode junction layer 71a which serves as a pixel potential side capacity electrode, and the 1st interlayer insulation film 41. However, like the case of an insulator layer 2, a dielectric film 75 may constitute monolayer or multilayers either, and can be formed with various kinds of well-known techniques used for generally forming the gate dielectric film of TFT. And since storage capacitance 70 becomes large so that a dielectric film 75 is made thin, it is advantageous, if a dielectric film 75 is formed after all so that it may become the very thin insulator layer of 50nm or less of thickness on condition that defects, such as a film tear, do not arise.

[0114] Then, the polish recon film is deposited with a reduced pressure CVD method etc. on a dielectric film 75, thermal diffusion of Lynn (P) is carried out further, this polish recon film is electric-conduction-ized, and the 1st non-illustrated film 72 (refer to drawing 2 and drawing 3) is formed. Or the doped silicon film which introduced P ion into membrane formation and coincidence of this polish recon film may be used. The thickness of this polish recon film is about 150nm preferably in about 100-500nm thickness. Besides, the 2nd film 73 of about 100-500nm thickness is further formed for metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd, by sputtering. And the capacity line 300 which consists of the 1st film 72 and the 2nd film 73 with a predetermined pattern by the photolithography and etching is completed.

[0115] Then, for example, the 2nd interlayer insulation film 42 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. The thickness of the 1st interlayer insulation film 42 is about 500-1500nm.

[0116] Then, the non-illustrated contact hole 81 (refer to drawing 2 and drawing 3) is punctured by dry etching to the 2nd interlayer insulation film 42, such as reactive ion etching and reactant ion beam etching.

[0117] Then, it deposits on about 300nm preferably in about 100-500nm thickness by

sputtering etc. the whole surface on the 2nd interlayer insulation film 42 by making low resistance metal metallurgy group silicide, such as aluminum of protection from light nature, etc. into a metal membrane. And data-line 6a which has a predetermined pattern is formed by the photolithography and etching.

[0118] Next, from drawing 14, at the process (5) of drawing 16, the 3rd interlayer insulation film 43 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that a data-line 6a top may be covered. The thickness of the 3rd interlayer insulation film 43 is about 500-1500nm.

[0119] Then, the non-illustrated contact hole 85 (refer to drawing 2 and drawing 3) is punctured by dry etching to the 3rd interlayer insulation film 43, such as reactive ion etching and reactant ion beam etching.

[0120] Then, transparent conductive film, such as ITO film, is deposited by spatter processing etc. on the 3rd interlayer insulation film 43 at the thickness of about 50-200nm. And pixel electrode 9a is formed by the photolithography and etching. In addition, when using the liquid crystal equipment concerned for the liquid crystal equipment of a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with high reflection factors, such as aluminum.

[0121] Then, after applying the coating liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 (refer to drawing 3) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0122] On the other hand, about the opposite substrate 20 shown in drawing 3, a glass substrate etc. is prepared first, and after the light-shielding film as a frame carries out the spatter of the chromium metal, it is formed through a photolithography and etching. In addition, these light-shielding films do not need to be conductivity and may form others, carbon, and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [metallic material]

[0123] Then, a counterelectrode 21 is formed by spatter processing etc. all over the opposite substrate 20 by depositing transparent conductive film, such as ITO, on the thickness of about 50-200nm. Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 22 (refer to drawing 3) is formed by performing rubbing processing in the predetermined direction so that it may have a

predetermined pre tilt angle etc.

[0124] Finally, the liquid crystal with which the TFT array substrate 10 and the opposite substrate 20 with which each class was formed as mentioned above are stuck by the sealant (refer to drawing 22 and drawing 23 ) so that the orientation film 16 and 22 may meet, and they come to mix two or more kinds of pneumatic liquid crystals to the space between both substrates by vacuum suction etc. is attracted, and the liquid crystal layer 50 of predetermined thickness is formed.

[0125] As explained above, according to the 1st operation gestalt of the manufacture process by this invention, the electro-optic device by this invention mentioned above can be manufactured. And since semi-conductor layer 1a and the dummy pattern 205 are formed by photolithography processing and etching processing from the same film in slot 10cv at coincidence after digging slot 10cv in the TFT array substrate 10 (refer to the process of drawing 16 (2) from drawing 14 ), a manufacture process can be simplified as compared with forming a semi-conductor film pattern and a dummy pattern separately. And as especially explained with reference to drawing 7 and drawing 8 , in case patterning of these semi-conductors layer 1a and the dummy pattern 205 is carried out to coincidence, the mask part for dummy pattern 205 formation can remove the light for exposure reflected on the level difference or slant face of slot 10cv, and the halation effectiveness can be reduced. Therefore, the pattern precision in semi-conductor layer 1a is raised.

[0126] (The 2nd operation gestalt of a manufacture process) Next, the 2nd operation gestalt of the manufacture process of the electro-optic device by this invention is explained with reference to drawing 17 and drawing 18 (it is drawing 16 to a list). It is process drawing showing order for the situation near semi-conductor layer 1a of an electro-optic device [ in / here / in drawing 17 / each process of the 2nd operation gestalt of a manufacture process ] later on with a top view, and drawing 18 is process drawing showing order for the situation near semi-conductor layer 1a of the electro-optic device in each process of the 2nd operation gestalt of a manufacture process later on with the D-D' sectional view of drawing 17 . And drawing 16 is also process drawing showing order for the situation near semi-conductor layer 1a of the electro-optic device in each process of not only the 1st operation gestalt of the manufacture process mentioned above but a \*\*\*\* 2 operation gestalt later on with the E-E' sectional view of drawing 17 (that is, process drawing in an E-E' cross section is the same as that of the case of the 1st operation

gestalt of the manufacture process explained with reference to drawing 16 from drawing 14 ). Moreover, in drawing 17 and drawing 18 , the same reference mark is given to the same component as the case of the 1st operation gestalt shown in drawing 16 from drawing 14 , and those explanation is omitted suitably.

[0127] The dummy pattern formed with the 2nd operation gestalt of this manufacture process is the same as that of what was shown in drawing 12 . That is, the dummy pattern 205 comes to contain dummy pattern 205a which functions also as a pixel potential side capacity electrode installed from the drain field of semi-conductor layer 1a, and dummy pattern 205b divided from semi-conductor layer 1a here.

[0128] At a process (1) to drawing 17 and the process (2) of drawing 18 (it is drawing 16 to a list), a process (2) and the same process are first performed from the process (1) of the 1st operation gestalt of the manufacture process shown in drawing 16 from drawing 14 . However, with this operation gestalt, dummy pattern 205a is operated as a pixel potential side capacity electrode. For this reason, it is made to perform sufficient dope so that it may have conductivity suitable as a pixel potential side capacity electrode to dummy pattern 205a at a process (2). The starting dope may be performed to the dope and coincidence to semi-conductor layer 1a, and you may carry out separately.

[0129] Next, at the process (3) of drawing 17 and drawing 18 (it is drawing 16 to a list), in case scanning-line 3a is formed, the fixed potential side capacity electrode 215 is formed in the plane region which counters dummy pattern 205a as a pixel potential side capacity electrode from the same polish recon film as scanning-line 3a. therefore, storage capacitance 70from dummy pattern 205a [ by which opposite arrangement was carried out through the insulator layer 2 ], and fixed potential side capacity electrode 215' -- independent -- or (namely, the storage capacitance 70 shown in drawing 2 and drawing 3 -- replacing with) it can build additionally (namely, the storage capacitance 70 shown in drawing 2 and drawing 3 -- adding). About others, the process (3) of the 1st operation gestalt of the manufacture process shown in drawing 16 from drawing 14 and the same process are performed.

[0130] Next, at a process (4) to drawing 17 and the process (5) of drawing 18 (it is drawing 16 to a list), a process (5) and the same process are performed from the process (4) of the 1st operation gestalt of the manufacture process shown in drawing 16 from drawing 14. however, contact formation for this operation gestalt to drop the fixed potential side capacity electrode 215 on constant potential ..

other contact formation -- simultaneously -- or it is made to carry out separately.

[0131] As explained above, according to the 2nd operation gestalt of the manufacture process by this invention, especially the dummy pattern 205 is functioning also as a pixel potential side capacity electrode, and the electro-optic device (refer to the process of drawing 18 (5)) which contains storage capacitance 70' independently additionally can be manufactured. And since semi-conductor layer 1a and the dummy pattern 205 are formed by photolithography processing and etching processing from the same film in slot 10cv like the case of the 1st operation gestalt at coincidence after digging slot 10cv in the TFT array substrate 10, a manufacture process can be simplified as compared with forming a semi-conductor film pattern and a dummy pattern separately. And by reducing the halation effectiveness, the pattern precision in semi-conductor layer 1a is raised.

[0132] In addition, since it can form in coincidence from the same film slack insulator layer 2, if one insulator layer 2 of high quality is formed for the dielectric film of storage capacitance 70', and the gate dielectric film of TFT according to the 2nd operation gestalt of this manufacture process, since the increment in the capacity value in storage capacitance 70' and dependability, the engine performance of TFT30, and the increment in dependability can be aimed at to coincidence, it is advantageous.

[0133] (The 3rd operation gestalt of a manufacture process) Next, the 3rd operation gestalt of the manufacture process of the electro-optic device by this invention is explained with reference to drawing 21 from drawing 19. It is process drawing showing order for the situation near semi-conductor layer 1a of an electro-optic device [ in / in drawing 19 / each process of the 3rd operation gestalt of a manufacture process ] here later on with a top view. Drawing 20 It is process drawing showing order for the situation near semi-conductor layer 1a of the electro-optic device in each process of the 3rd operation gestalt of a manufacture process later on with the D-D' sectional view of drawing 19. Drawing 21 It is process drawing showing order for the situation near semi-conductor layer 1a of the electro-optic device in each process of the 3rd operation gestalt of a manufacture process later on with the E-E' sectional view of drawing 19. Moreover, in drawing 21, the same reference mark is given to the same component as the case of the 1st operation gestalt shown in drawing 16 from drawing 14 from drawing 19, and those explanation is omitted suitably.

[0134] The dummy pattern formed with the 3rd

operation gestalt of this manufacture process is the same as that of what was shown in drawing 13. That is, the dummy pattern 206 is installed from the drain field of semi-conductor layer 1a, and functions also as a pixel potential side capacity electrode here.

[0135] At the process (1) of drawing 21, the process (1) of the 1st operation gestalt of the manufacture process shown in drawing 16 from drawing 14 and the same process are first performed from drawing 19.

[0136] Next, in case semi-conductor layer 1a is formed at the process (2a) of drawing 21 from drawing 19, the dummy pattern 206 which has the flat-surface configuration shown in drawing 13 is formed in coincidence from the same film as semi-conductor layer 1a. About others, the process (2) of the 1st operation gestalt of the manufacture process shown in drawing 16 from drawing 14 and the same process are performed.

[0137] Next, from drawing 19, at the process (2b) of drawing 21, after loading about 100-500nm thickness with metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd, by sputtering on an insulator layer 2, the fixed potential side capacity electrode 216 is formed in the field which counters the dummy pattern 206 as a pixel potential side capacity electrode by the photolithography and etching. therefore, storage capacitance 70from dummy pattern [ by which opposite arrangement was carried out through the insulator layer 2 ] 206, and fixed potential side capacity electrode 216" -- independent -- or (namely, the storage capacitance 70 shown in drawing 2 and drawing 3 -- replacing with) it can build additionally (namely, the storage capacitance 70 shown in drawing 2 and drawing 3 -- adding). Just before or after formation of such a fixed potential side capacity electrode 216, etching removal of the part which counters the channel field of semi-conductor layer 1a among insulator layers 2 is carried out, and an insulator layer 220 is formed on it. This insulator layer is preferably taken as the thickness of about 30-100nm in about 20-150nm thickness that what is necessary is just to form for example, with a reduced pressure CVD method etc. In addition, if etching removal of the part which counters the channel field of semi-conductor layer 1a among insulator layers 2 in this way is carried out, the gate dielectric film of TFT30 can be made thin, but as long as there is no problem in thickness, gate dielectric film may be formed from two-layer [ of an insulator layer 2 and an insulator layer 220 ], or gate dielectric film may be formed not from the insulator layer 220 but from the insulator layer 2.

[0138] Next, at a process (3) to the process (5) of drawing 19 to drawing 21, a process (5) and the

same process are performed from the process (3) of the 1st operation gestalt of the manufacture process shown in drawing 16 from drawing 14. however, contact formation for this operation gestalt to drop the fixed potential side capacity electrode 216 on constant potential -- other contact formation -- simultaneously -- or it is made to carry out separately.

[0139] As explained above, according to the 3rd operation gestalt of the manufacture process by this invention, especially the dummy pattern 206 is functioning also as a pixel potential side capacity electrode, and the electro-optic device (refer to drawing 20 and the process of drawing 21 (5)) which contains storage capacitance 70" independently additionally can be manufactured. And since semi-conductor layer 1a and the dummy pattern 206 are formed by photolithography processing and etching processing from the same film in slot 10cv like the case of the 1st operation gestalt at coincidence after digging slot 10cv in the TFT array substrate 10, a manufacture process can be simplified as compared with forming a semi-conductor film pattern and a dummy pattern separately. And by reducing the halation effectiveness, the pattern precision in semi-conductor layer 1a is raised.

[0140] According to the 3rd operation gestalt of this manufacture process, especially the fixed potential side capacity electrode 216 is located on the TFT array substrate 10 at the upper layer side of an electrode rather than the pixel potential side capacity electrode slack dummy pattern 206, and is located in a lower layer side rather than scanning-line 3a (refer to process (5) from the process (3) of drawing 21). Therefore, since the fixed potential side capacity electrode 216 of fixed potential exists between the dummy pattern 206 and scanning-line 3a, the parasitic capacitance between both can be reduced. That is, since the parasitic capacitance between both does not pose a problem even if it forms the conductive dummy pattern 206 in \*\*\*\* shown in drawing 13, and the plane region in which scanning-line 3a was formed in piles, increase becomes possible about the plane region which makes storage capacitance 70", without causing the evil by the parasitic capacitance concerned.

[0141] Furthermore, since the fixed potential side capacity electrode 216 is formed from the light-shielding film containing a metal or an alloy according to the 3rd operation gestalt of this manufacture process, it collaborates with the dummy pattern 206 and the protection-from-light engine performance is raised further. However, it is also possible to form the fixed potential side capacity electrode 216 from the conductive polish recon film etc.

[0142] In addition, although the fixed potential side capacity electrode 216 was formed in the lower layer side of scanning-line 3a with the 3rd operation gestalt of this manufacture process, it is also possible to prepare a fixed potential side capacity electrode in the upper layer side of scanning-line 3a. For example, if etching removal of the insulator layer 2 on the pixel potential side capacity electrode slack dummy pattern 206 or the 220 parts is carried out before forming the fixed potential side capacity electrode 216 at the process in that case (2b), while performing the process (3) of drawing 21 before a process (2b) from drawing 19, storage capacitance can be built with the dummy pattern 206 by which opposite arrangement was carried out by using the insulator layer of the left-behind direction as a dielectric film, and the fixed potential side capacity electrode 216. However, although it is possible to arrange a fixed potential side capacity electrode or a capacity line in piles to scanning-line 3a through an interlayer insulation film in this case, the field itself which makes and puts storage capacitance turns into a field except scanning-line 3a (that is, it becomes narrow a little).

[0143] With each operation gestalt explained above, although the flat-surface configuration of slot 10cv is a grid-like, you may have the shape of a stripe in alignment with data-line 6a, and may have the shape of a stripe in alignment with scanning-line 3a. The effectiveness which raises the protection-from-light engine performance about the effectiveness which raises the patterning precision of semi-conductor layer 1a by forming a dummy pattern, and semi-conductor layer 1a in any case is acquired.

[0144] (The whole electro-optic device configuration) The whole electro-optic device configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 22 and drawing 23. In addition, drawing 22 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 23 is the H-H' sectional view of drawing 22.

[0145] In drawing 22, on the TFT array substrate 10, the sealant 52 is formed along the edge and the light-shielding film 53 as a frame which specifies the circumference of image display field 10a is formed in parallel to the inside. The data-line drive circuit 101 and the external circuit connection terminal 102 which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is

formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [the scanning-line drive circuit 104] cannot be overemphasized. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of image display field 10a. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of image display field 10a is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking a flow electrically between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 23, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 22 has fixed to the TFT array substrate 10 by the sealant 52 concerned.

[0146] In addition, on the TFT array substrate 10, the inspection circuit for inspecting the sampling circuit which impresses a picture signal to two or more data-line 6a to predetermined timing, the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, the quality of the electro-optic device concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed.

[0147] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with the operation gestalt explained with reference to drawing 23 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0148] Since the electro-optic device in the

operation gestalt explained above is applied to a projector, the electro-optic device of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each light valve as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a on the opposite substrate 20 with the protective coat. If it does in this way, the electro-optic device in each operation gestalt is applicable about the color electro-optic device of direct viewing types other than a projector, or a reflective mold. Moreover, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, a brighter color electro-optic device is realizable.

[0149] This invention is not restricted to the operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole specification, and the electro-optic device accompanied by such modification and its manufacture approach are also included in the technical range of this invention.

#### [Brief Description of the Drawings]

[Drawing 1] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the electro-optic device of the operation gestalt of this invention, such as various components and wiring.

[Drawing 2] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of an operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 3] It is the A-A' sectional view of drawing 2.

[Drawing 4] It is the top view extracting and showing a dummy pattern with a semi-conductor layer and the scanning line among drawing 2.

[Drawing 5] It is the C-C' sectional view of drawing 4.

[Drawing 6] It is the C-C' sectional view of drawing 4 in the example of a comparison.

[Drawing 7] It is process drawing showing the dummy pattern in this operation gestalt on the cross section corresponding to a C-C' cross section for a patterning process.

[Drawing 8] It is process drawing showing the patterning process in the example of a comparison on the cross section corresponding to a C-C' cross section.

[Drawing 9] It is the top view extracting and showing other employable dummy patterns with a semi-conductor layer and the scanning line like drawing 4 in this operation gestalt.

[Drawing 10] It is the top view extracting and showing other employable dummy patterns with a semi-conductor layer and the scanning line like drawing 4 in this operation gestalt.

[Drawing 11] It is the top view extracting and showing other employable dummy patterns with a semi-conductor layer and the scanning line like drawing 4 in this operation gestalt.

[Drawing 12] It is the top view extracting and showing other employable dummy patterns with a semi-conductor layer and the scanning line like drawing 4 in this operation gestalt.

[Drawing 13] It is the top view extracting and showing other employable dummy patterns with a semi-conductor layer and the scanning line like drawing 4 in this operation gestalt.

[Drawing 14] It is process drawing showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the 1st operation gestalt of the manufacture process by this invention later on with a top view.

[Drawing 15] It is process drawing showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the 1st operation gestalt of the manufacture process by this invention later on with the D-D' sectional view of drawing 1414.

[Drawing 16] It is process drawing showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the 1st operation gestalt of the manufacture process by this invention later on with the E-E' sectional view of drawing 1414.

[Drawing 17] It is process drawing showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the 2nd operation gestalt of the manufacture process by this invention later on with a top view.

[Drawing 18] It is process drawing showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the 2nd operation gestalt of the manufacture process by

this invention later on with the D-D' sectional view of drawing 1717.

[Drawing 19] It is process drawing showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the 3rd operation gestalt of the manufacture process by this invention later on with a top view.

[Drawing 20] It is process drawing showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the 3rd operation gestalt of the manufacture process by this invention later on with the D-D' sectional view of drawing 1919.

[Drawing 21] It is process drawing showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the 3rd operation gestalt of the manufacture process by this invention later on with the E-E' sectional view of drawing 1919.

[Drawing 22] It is the top view which looked at the TFT array substrate in the electro-optic device of an operation gestalt from the opposite substrate side with each component formed on it.

[Drawing 23] It is the H-H' sectional view of drawing 22.

#### [Description of Notations]

1a .. Semi-conductor layer

1a' .. Channel field

1b .. Low concentration source field

1c .. Low concentration drain field

1d .. High concentration source field

1e .. High concentration drain field

2 .. Insulator layer

3a .. Scanning line

6a .. Data line

9a .. Pixel electrode

10 .. TFT array substrate

10cv(s) .. Slot

11a .. Bottom light-shielding film

12 .. Substrate insulator layer

16 .. Orientation film

20 .. Opposite substrate

21 .. Counterelectrode

22 .. Orientation film

30 .. TFT

50 .. Liquid crystal layer

70 .. Storage capacitance

71a .. Junction layer

71b .. Junction layer

72 .. The 1st film of a capacity line

73 .. The 2nd film of a capacity line

75 .. Dielectric film

81, 82, 83, 85 .. Contact hole

201-206 .. Dummy pattern

215 216 .. Fixed potential side capacity electrode

220 .. Insulator layer

300 .. Capacity line

600 .. Photoresist

601 -- Mask (reticle)

602 -- Protection from light pattern

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-156652

(P2002-156652A)

(43) 公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マーク <sup>*</sup> (参考)
G 0 2 F	1/1368	G 0 2 F	1/1333 5 0 0 2 H 0 9 0
	1/1333		5 0 0
G 0 9 F	9/30	G 0 9 F	9/30 3 3 8 2 H 0 9 2
H 0 1 L	29/786	G 0 2 F	1/136 5 0 0 5 C 0 9 4
		H 0 1 L	29/78 6 1 9 B 5 F 1 1 0
			6 2 6 C

審査請求 未請求 請求項の数17 OL (全24頁)

(21) 出願番号 特願2000-351393(P2000-351393)

(22) 出願日 平成12年11月17日 (2000.11.17)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 高原 研一

長野県諏訪市大和3丁目3番5号 セイコ  
エプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅善 (外1名)

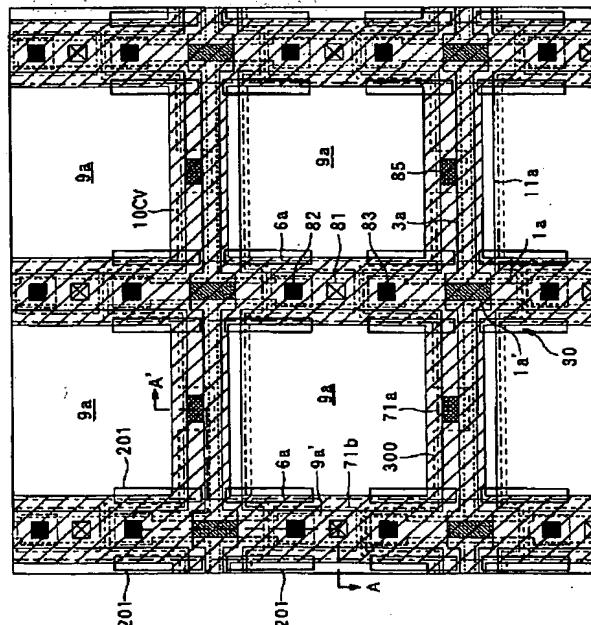
最終頁に続く

(54) 【発明の名称】 電気光学装置及びその製造方法

(57) 【要約】

【課題】 液晶装置等の電気光学装置において、基板に溝を掘ることにより基板上の積層体表面の平坦化を図りつつ、画素スイッチング用TFTを構成する半導体膜パターンにおけるパターン精度を高め且つ耐光性を向上させる。

【解決手段】 電気光学装置は、TFTアレイ基板(10)上に、画素電極(9a)と、これに接続されたTFT(30)と、これに接続された走査線(3a)等の配線とを備える。基板に掘られた溝内にTFTのチャネル領域を含む半導体膜パターンが配置されており、溝において半導体膜パターンの脇に、TFTと同一膜からダミーパターン(201)が形成されている。



【特許請求の範囲】

【請求項1】 基板上に、  
画素電極と、  
該画素電極に接続された薄膜トランジスタと、  
該薄膜トランジスタに接続された配線とを備えており、  
前記基板に掘られた溝内に前記薄膜トランジスタのチャ  
ネル領域を含む半導体膜パターンが配置されており、  
前記溝内において前記半導体膜パターンの脇にダミーパ  
ターンが形成されていることを特徴とする電気光学装  
置。

【請求項2】 前記ダミーパターンは、前記溝内における前記半導体膜パターンの両脇に配置されていることを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記ダミーパターンは、前記溝の側壁上に配置されていることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項4】 前記ダミーパターンは、前記溝の底部上に配置されていることを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項5】 前記ダミーパターンは、前記半導体膜パ  
ターンと同一膜からなることを特徴とする請求項1から  
4のいずれか一項に記載の電気光学装置。

【請求項6】 前記ダミーパターンは、シリコン膜からなることを特徴とする請求項1から5のいずれか一項に記載の電気光学装置。

【請求項7】 前記ダミーパターンは、少なくとも部分的に前記半導体膜パターンと比較して導電性が低いことを特徴とする請求項1から6のいずれか一項に記載の電気光学装置。

【請求項8】 前記配線は、前記チャネル領域に対向配置されるゲート電極に接続された走査線を含み、  
前記ダミーパターンは、少なくとも前記走査線に対向する部分において前記導電性が低いことを特徴とする請求項7に記載の電気光学装置。

【請求項9】 前記配線は、前記チャネル領域に対向配置されるゲート電極に接続された走査線を含み、  
前記ダミーパターンは、前記走査線に対向する平面領域を避けて配置されていることを特徴とする請求項1から  
7のいずれか一項に記載の電気光学装置。

【請求項10】 前記ダミーパターンは、前記画素電極に対して蓄積容量を構築する一対の容量電極のうち一方の電極としても機能し、  
前記ダミーパターンに誘電体膜を介して対向配置された他方の電極を更に備えたことを特徴とする請求項1から  
9のいずれか一項に記載の電気光学装置。

【請求項11】 前記ダミーパターンは、前記半導体膜パ  
ターンのドレイン領域から延設されており、前記一方の電極は画素電位側容量電極であることを特徴とする請求項10に記載の電気光学装置。

【請求項12】 前記他方の電極は、金属又は合金を含

む遮光膜からなることを特徴とする請求項10又は11に記載の電気光学装置。

【請求項13】 前記配線は、前記チャネル領域に対向配置されるゲート電極に接続された走査線を含み、  
前記他方の電極は、前記基板上において前記一方の電極の上層側に位置し且つ前記走査線よりも下層側に位置することを特徴とする請求項10から12のいずれか一項に記載の電気光学装置。

【請求項14】 前記他方の電極は、固定電位側容量電極であることを特徴とする請求項13に記載の電気光学装置。

【請求項15】 前記誘電体膜は、前記薄膜トランジスタのゲート電極と前記チャネル領域との間に介在するゲート絶縁膜と同一膜からなることを特徴とする請求項10から14のいずれか一項に記載の電気光学装置。

【請求項16】 請求項1から15のいずれか一項に記載の電気光学装置を製造する電気光学装置の製造方法であって、

前記基板に溝を掘る工程と、  
前記溝内に前記半導体膜パターンと前記ダミーパターンとを同一レジストを用いて同時にフォトリソグラフィ処理及びエッチング処理により形成する工程とを備えたことを特徴とする電気光学装置の製造方法。

【請求項17】 基板上に、  
画素電極と、  
該画素電極に接続された薄膜トランジスタと、  
該薄膜トランジスタに接続された配線とを備えており、  
前記基板に掘られた溝内に前記薄膜トランジスタのチャ  
ネル領域を含む半導体膜パターンが配置されており、  
前記溝内において前記半導体膜パターンの脇に光吸収性の膜が形成されていることを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に属し、特に画素スイッチング用の薄膜トランジスタ(Thin Film Transistor:以下適宜、TFTと称す)を、基板上の積層構造中に備えた形式の電気光学装置及びその製造方法の技術分野に属する。

【0002】

【背景技術】TFTアクティブマトリクス駆動形式の電気光学装置では、各画素に設けられた画素スイッチング用TFTのチャネル領域に入射光が照射されると光による励起で光リーク電流が発生してTFTの特性が変化する。特に、プロジェクタのライトバルブ用の電気光学装置の場合には、入射光の強度が高いため、TFTのチャネル領域やその周辺領域に対する入射光の遮光を行うことは重要となる。そこで従来は、対向基板に設けられた各画素の開口領域を規定する遮光膜により、或いはTFTアレイ基板上においてTFTの上を通過すると共にA

1（アルミニウム）等の金属膜からなるデータ線により、係るチャネル領域やその周辺領域を遮光するように構成されている。更に、TFTアレイ基板上のTFTの下側に対向する位置にも、例えば高融点金属からなる遮光膜を設けることがある。このようにTFTの下側にも遮光膜を設ければ、TFTアレイ基板側からの裏面反射光や、複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合に他の電気光学装置からプリズム等を突き抜けてくる投射光などの戻り光が、当該電気光学装置のTFTに入射するのを未然に防ぐことができる。

【0003】他方、この種の電気光学装置においては、液晶等の電気光学物質に面する表面の平坦化が当該電気光学物質を良好に動作させるための重要な要素となる。このため従来は、基板に溝を設けて、その中にTFTやその配線を埋め込むことにより、最終的に基板上に形成される積層体表面における平坦化を図る技術も開発されている。

【0004】また、この種の電気光学装置の製造方法では、フォトリソグラフィ処理及びエッチング処理を用いて、基板上に所定パターンを有する各種の導電膜や半導体膜を形成することにより、画素スイッチング用TFTや、走査線、データ線等を形成する技術が一般に採用されている。

#### 【0005】

【発明が解決しようとする課題】しかしながら、上述の如き基板に溝を掘って平坦化を図る技術とフォトリソグラフィ処理等を用いる製造技術との両者を採用すると、フォトリソグラフィ処理中に所定パターンのマスクを用いて所定パターンのレジストを形成する際に、溝の段差或いは斜面に起因したハレーションが生じて露光用の光がレジストの側方に回り込むことにより、レジストのパターンが細くなるというが問題点がある。しかも、このようなハレーションの度合いは、溝の段差や斜面と形成すべきレジストパターンとの位置関係に応じて3次元的に変化する。従って、このようにして得られたレジストパターンを介してのエッチング処理により形成される半導体膜パターンや導電膜パターンは、細るだけでなく、一般に不規則に3次元的な凹凸を持つこととなり、細り方のムラも大きい。このため、レジストがハレーションにより細ることを想定して太めにレジストを残すというような単純な技術では対処できない。

【0006】更に、上述の如き基板に溝を掘って平坦化を図る技術によれば、特にプロジェクタ用途の如き強力な入射光や戻り光が入射される用途の場合には、このような光が溝の段差や斜面で反射することで、内面反射光或いは多重反射光としてTFTのチャネル領域に到達する可能性が高くなる。即ち、このように基板に溝を掘った場合には、上述した各種の遮光膜を用いてTFTの上側や下側を覆っても当該溝に起因する内面反射光或いは

多重反射光を防ぐには十分ではなく、光リーク電流が発生してしまう。しかも、近年の表示画像の高品位化という一般的要請に沿うべく電気光学装置の高精細化或いは画素ピッチの微細化を図るに連れて、更に明るい画像を表示すべく入射光の光強度を高めるに連れて、十分な遮光を施すのがより困難となり、結局、TFTのトランジスタ特性の変化により、フリッカ、クロストーク、表示ムラ等が生じて、表示画像の品位が低下してしまうという問題点がある。

【0007】本発明は上述した問題点に鑑みなされたものであり、基板に溝を掘ることにより基板上の積層体表面の平坦化が図られた構造を有すると共に、画素スイッチング用TFTを構成する半導体膜パターンにおけるパターン精度が高く且つ耐光性に優れた電気光学装置及びその製造方法を提供することを課題とする。

#### 【0008】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された配線とを備えており、前記基板に掘られた溝内に前記薄膜トランジスタのチャネル領域を含む半導体膜パターンが配置されており、前記溝内において前記半導体膜パターンの脇にダミーパターンが形成されている。

【0009】本発明の電気光学装置によれば、画素電極をこれに接続された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。そして、基板に掘られた溝内に薄膜トランジスタのチャネル領域を含む半導体膜パターンが配置されているので、当該電気光学装置において基板上に構築される積層体表面における薄膜トランジスタやその配線に起因した段差を低減できる。そして、溝内において半導体膜パターンの脇にダミーパターンが形成されている。このため、当該半導体膜パターンをフォトリソグラフィ処理及びエッチング処理によりパターンングする際に、溝の段差或いは斜面で反射される露光用の光を、ダミーパターン形成用のマスク部分により除去できる。即ち、溝の段差或いは斜面に起因するハレーション効果を低減することにより、半導体膜パターン形成用のレジストのパターン精度は高まり、その後のエッチングで得られる半導体膜パターンにおけるパターン精度も高まる。従って、チャネル領域を含む半導体膜パターンの微細化を図ると共に該半導体膜パターンのバラツキを低減することにより、画素ピッチの微細化を図ることが可能となる。しかも特に、溝内において半導体膜パターンの脇にダミーパターンが形成されているので、製造後における動作時に、溝の段差或いは斜面に起因する内面反射光や多重反射光がチャネル領域に到達しようとするのを、当該ダミーパターンで少なくとも部分的に吸収或いは反射により効果的に阻止できる。

【0010】尚、本願における「基板に掘られた溝内に半導体膜パターンが配置されている」とは、基板に掘られた溝内に半導体膜パターンが直接配置されてもよく、基板に掘られた溝内に層間絶縁膜等の他の一又は複数の膜を介して半導体膜パターンが配置されてもよい意味である。要は、半導体膜パターンの下地表面をなす基板表面或いはこの上に積層された層間絶縁膜等の表面に溝があり、この溝内に半導体膜パターンが配置されているという広い意味である。更に、本願における「溝内において半導体膜パターンの脇にダミーパターンが形成されている」とは、底部や側壁を含む溝内において、半導体膜パターンの一方又は両方の脇に、ダミーパターンの少なくとも一部が形成されているという意味である。

【0011】これらの結果、本発明の電気光学装置によれば、基板に溝を掘って平坦化を図る構造を採用しつつ、製造工程中のハレーションにより半導体膜パターンのパターン精度が低下する事態を効果的に阻止し、しかも製造後における耐光性を高めることが可能となる。従って、平坦化により電気光学物質を良好に動作させることができ、パターン精度に優れた半導体膜パターンを持つ薄膜トランジスタで画素ピッチの微細化を図ることができ、しかも強力な入射光や戻り光が入射するような過酷な条件下にあっても光リード電流の低減された薄膜トランジスタにより画素電極を良好にスイッチング制御でき、最終的には本発明により、明るく高コントラストで高精細の画像を表示可能となる。

【0012】本発明の電気光学装置の一の態様では、前記ダミーパターンは、前記溝内における前記半導体膜パターンの両脇に配置されている。

【0013】この態様によれば、ダミーパターンは、溝内において、半導体膜パターンの両脇に配置されているので、当該半導体膜パターンをフォトリソグラフィ処理及びエッティング処理によりバターニングする際に、溝の段差或いは斜面で反射する露光用の光を、半導体膜パターンの両脇に配置されたダミーパターン形成用のマスク部分により除去でき、ハレーション効果をより一層低減できる。しかも特に、半導体膜パターンの両脇にダミーパターンが形成されているので、製造後における動作時に、溝の段差或いは斜面に起因する内面反射光や多重反射光がチャネル領域に到達しようとするのを、当該ダミーパターンで一層効果的に阻止できる。

【0014】本発明の電気光学装置の他の態様では、前記ダミーパターンは、前記溝の側壁上に配置されている。

【0015】この態様によれば、ダミーパターンは、溝の側壁上に配置されているので、当該半導体膜パターンをフォトリソグラフィ処理及びエッティング処理によりバターニングする際に、溝の段差或いは斜面で反射する露光用の光を、溝の側壁上に配置されたダミーパターン形成用のマスク部分により除去でき、ハレーション効果を

より一層低減できる。しかも特に、溝の側壁上にダミーパターンが形成されているので、製造後における動作時に、溝の段差或いは斜面に起因する内面反射光や多重反射光がチャネル領域に到達しようとするのを、当該ダミーパターンで一層効果的に阻止できる。

【0016】本発明の電気光学装置の他の態様では、前記ダミーパターンは、前記溝の底部上に配置されている。

【0017】この態様によれば、ダミーパターンは、溝の底部上に配置されているので、当該半導体膜パターンをフォトリソグラフィ処理及びエッティング処理によりバターニングする際に、溝の段差或いは斜面で反射する露光用の光を、溝の側壁上に配置されたダミーパターン形成用のマスク部分により除去できる。しかも特に、溝の底部上にダミーパターンが形成されているので、製造後における動作時に、溝の段差或いは斜面に起因する内面反射光や多重反射光がチャネル領域に到達しようとするのを、当該ダミーパターンで効果的に阻止できる。

【0018】本発明の電気光学装置の他の態様では、前記ダミーパターンは、前記半導体膜パターンと同一膜からなる。

【0019】この態様によれば、ダミーパターンは、前記半導体膜パターンと同一膜からなるので、ダミーパターンを形成するのに追加的な工程は不要である。特に、チャネル領域における光吸収特性（波長特性など）は、ダミーパターンのそれと同一となるので、製造後における動作時に、溝の段差或いは斜面に起因する内面反射光や多重反射光のうちチャネル領域で吸収されやすい周波数成分を、当該ダミーパターンで吸収できるため、大変有利である。

【0020】本発明の電気光学装置の他の態様では、前記ダミーパターンは、シリコン膜からなる。

【0021】この態様によれば、ポリシリコン膜、アモルファスシリコン膜等のシリコン膜からなるダミーパターンにより、半導体膜パターンの脇において光を低減できる。

【0022】本発明の電気光学装置の他の態様では、前記ダミーパターンは、少なくとも部分的に前記半導体膜パターンと比較して導電性が低い。

【0023】この態様によれば、ダミーパターンは、低導電性であるため、ダミーパターンと走査線等の配線或いは他の導電膜とを基板上における積層体中で層間距離を狭めて対向配置しても、両者間における寄生容量は殆ど又は全く問題とならないので、有利である。

【0024】この態様では、前記配線は、前記チャネル領域に対向配置されるゲート電極に接続された走査線を含み、前記ダミーパターンは、少なくとも前記走査線に対向する部分において前記導電性が低いように構成してもよい。

【0025】このように構成すれば、ダミーパターンと

走査線とは、層間絶縁膜等を介して対向配置されるが、当該対向する部分においてダミーパターンは低導電性であるため、走査線とダミーパターンとの間における寄生容量は殆ど又は全く問題とならない。

【0026】或いは本発明の電気光学装置の他の態様では、前記配線は、前記チャネル領域に対向配置されるゲート電極に接続された走査線を含み、前記ダミーパターンは、前記走査線に対向する平面領域を避けて配置されている。

【0027】この態様によれば、ダミーパターンは、走査線に対向する平面領域を避けて配置されているので、ダミーパターンが導電性であっても、走査線とダミーパターンとの間における寄生容量は全く問題とならない。更に、当該ダミーパターンを導電膜から構成することにより、他の電極、他の素子の一部、配線等として利用できるので便利である。

【0028】本発明の電気光学装置の他の態様では、前記ダミーパターンは、前記画素電極に対して蓄積容量を構築する一対の容量電極のうち一方の電極としても機能し、前記ダミーパターンに誘電体膜を介して対向配置された他方の電極を更に備える。

【0029】この態様によれば、画素電極には、蓄積容量が構築されているので、画素電極における電位保持特性は格段に高められる。しかも、このような蓄積容量の一方の電極とダミーパターンとは兼用であるので、積層構造及び製造プロセスの簡略化を図る上で大変有利である。

【0030】この蓄積容量を有する態様では、前記ダミーパターンは、前記半導体膜パターンのドレイン領域から延設されており、前記一方の電極は画素電位側容量電極であるように構成してもよい。

【0031】このように構成すれば、半導体膜パターンから延設されたダミーパターンを画素電位側容量電極としても機能させる構造が、比較的簡単に得られる。

【0032】この蓄積容量を有する態様では、前記他方の電極は、金属又は合金を含む遮光膜からなるように構成してもよい。

【0033】このように構成すれば、金属又は合金を含む遮光膜からなる他方の電極と、ダミーパターンとの両者により、遮光性能を一層高めることが可能となる。金属又は合金を含む遮光膜としては、例え、Ti(チタン)、Cr(クロム)、W(タンクステン)、Ta(タンタル)、Mo(モリブデン)、Pb(鉛)等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等が挙げられる。

【0034】この蓄積容量を有する態様では、前記配線は、前記チャネル領域に対向配置されるゲート電極に接続された走査線を含み、前記他方の電極は、前記基板上において前記一方の電極の上層側に位置し且つ前記走査

線よりも下層側に位置するように構成してもよい。

【0035】このように構成すれば、ダミーパターンからなる一方の電極と走査線との間の積層位置に、他方の電極が存在するので、ダミーパターンと走査線との間ににおける寄生容量を他方の電極の存在に応じて低減できる。

【0036】この場合更に、前記他方の電極は、固定電位側容量電極であるように構成してもよい。

【0037】このように構成すれば、ダミーパターンからなる一方の電極と走査線との間の積層位置に、固定電位側容量電極が存在するので、ダミーパターンを走査線から電磁シールドする構成が得られ、ダミーパターンと走査線との間ににおける寄生容量を顕著に低減できる。

【0038】この蓄積容量を有する態様では、前記誘電体膜は、前記薄膜トランジスタのゲート電極と前記チャネル領域との間に介在するゲート絶縁膜と同一膜からなるように構成してもよい。

【0039】このように構成すれば、薄膜トランジスタのゲート絶縁膜と蓄積容量の誘電体膜とを同一膜から同時形成可能となり、積層構造及び製造プロセスを簡略化する上で有利である。

【0040】本発明の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の電気光学装置(その各種態様を含む)を製造する電気光学装置の製造方法であって、前記基板に溝を掘る工程と、前記溝内に前記半導体膜パターンと前記ダミーパターンとを同一レジストを用いて同時にフォトリソグラフィ処理及びエッティング処理により形成する工程とを備える。

【0041】本発明の電気光学装置の製造方法によれば、先ず基板に溝を掘る。その後、溝内に半導体膜パターンとダミーパターンとを同一レジストを用いて同時にフォトリソグラフィ処理及びエッティング処理により形成するので、半導体膜パターンとダミーパターンとを別個に形成するのと比較して、製造プロセスを簡略化する上で有利である。しかも特に、溝の段差或いは斜面で反射される露光用の光を、ダミーパターン形成用のマスク部分により除去でき、ハレーション効果を低減できる。従って、半導体膜パターン形成用のレジストのパターン精度は高まり、その後のエッティング処理で得られる半導体膜パターンにおけるパターン精度も高まる。

【0042】本発明の他の電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された配線とを備えており、前記基板に掘られた溝内に前記薄膜トランジスタのチャネル領域を含む半導体膜パターンが配置されており、前記溝内において前記半導体膜パターンの脇に光吸収性の膜が形成されている。

【0043】本発明の他の電気光学装置によれば、溝内において半導体膜パターンの脇に光吸収性の膜が形成されている。このため、製造後における動作時に、溝の段

差或いは斜面に起因する内面反射光や多重反射光がチャネル領域に到達しようとするのを、当該光吸収性の膜で少なくとも部分的に吸収或いは反射により効果的に阻止できる。この結果、基板に溝を掘って平坦化を図る構造を採用しつつ、製造後における耐光性を高めることが可能となり、最終的には本発明により、明るく高コントラストで高精細の画像を表示可能となる。

【0044】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0045】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0046】(電気光学装置の画素部における構成)先ず本発明の実施形態における電気光学装置の画素部における構成について、図1から図3を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0047】図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにも良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、後述する対向基板に形成された対向電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単

位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が射出する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。

【0048】図2において、電気光学装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。

【0049】また、半導体層1aのうち図中右上がりの斜線領域で示したチャネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する(特に、本実施形態では、走査線3aは、当該ゲート電極となる部分において幅広に形成されている)。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用のTFT30が設けられている。

【0050】図2及び図3に示すように、本実施形態では、容量線300は、導電性のポリシリコン膜等からなる第1膜72と高融点金属を含む金属シリサイド膜等からなる第2膜73とが積層された多層構造を持つ。このうち第2膜73は、容量線300或いは蓄積容量70の固定電位側容量電極としての機能の他、TFT30の上側において入射光からTFT30を遮光する上側遮光膜としての機能を持つ。また第1膜72は、容量線300或いは蓄積容量70の固定電位側容量電極としての機能の他、上側遮光膜としての第2膜73とTFT30との間に配置された光吸収層としての機能を持つ。他方、容量線300に対して、誘電体膜75を介して対向配置される中継層71aは、蓄積容量70の画素電位側容量電極としての機能の他、上側遮光膜としての第2膜73とTFT30との間に配置される光吸収層としての機能を持ち、更に、画素電極9aとTFT30の高濃度ドレン領域1eとを中継接続する中間導電層としての機能を持つ。

【0051】そして本実施形態では特に、図2及び図3に示すように、TFTアレイ基板10には、画素電極9aの間隙領域に概ね対応する格子状の平面領域に溝10c v(図2中右下がりの斜線領域で示されている)が掘られており、溝10c vの側壁から底部にかけて、半導体層1aの両脇に図2中太線で平面輪郭を示したダミーパターン201が形成されている。このダミーパターン201の構成及び作用効果については、後に図4から図8を参照して詳述する。

【0052】本実施形態では、蓄積容量70は、TFT30の高濃度ドレン領域1e(及び画素電極9a)に接続された画素電位側容量電極としての中継層71a

と、固定電位側容量電極としての容量線300の一部とが、誘電体膜75を介して対向配置されることにより形成されている。

【0053】容量線300は平面的に見て、走査線3aに沿ってストライプ状に伸びており、TFT30に重なる箇所が図2中上下に突出している。そして、図2中縦方向に夫々伸びるデータ線6aと図2中横方向に夫々伸びる容量線300とが相交差して形成されることにより、TFTアレイ基板10上におけるTFT30の上側に、平面的に見て格子状の上側遮光膜が構成されており、各画素の開口領域を規定している。

【0054】他方、TFTアレイ基板10上におけるTFT30の下側には、下側遮光膜11aが格子状に設けられている。

【0055】これらの上側遮光膜の一例を構成する第2膜73及び下側遮光膜11aは夫々、例えば、Ti、Cr、W、Ta、Mo、Pb等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。また、このような第2膜73を含んでなる容量線300は、多層構造を有し、その第1膜72が導電性のポリシリコン膜であるため、係る第2膜73については、導電性材料から形成する必要はないが、第1膜72だけでなく第2膜73をも導電膜から形成すれば、容量線300をより低抵抗化できる。

【0056】また図3において、容量電極としての中縦層71aと容量線300との間に配置される誘電体膜75は、例えば膜厚5~200nm程度の比較的薄いHTO膜、LTO膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄い程良い。

【0057】光吸收層として機能するのみならず容量線300の一部を構成する第1膜72は、例えば膜厚150nm程度のポリシリコン膜からなる。また、遮光層として機能するのみならず容量線300の他の一部を構成する第2膜73は、例えば膜厚150nm程度のタンクステンシリサイド膜からなる。このように誘電体膜75に接する側に配置される第1膜72をポリシリコン膜から構成し、誘電体膜75に接する中縦層71aをポリシリコン膜から構成することにより、誘電体膜75の劣化を阻止できる。更に、このような容量線300を誘電体膜75上に形成する際に、誘電体膜75の形成後にフォトレジスト工程を入れることなく、連続で容量線300を形成すれば、誘電体膜75の品質を高められるので、当該誘電体膜75を薄く成膜することが可能となり、最終的に蓄積容量70を増大できる。

【0058】図2及び図3に示すように、データ線6aは、コンタクトホール81を介して中縦接続用の中縦層71bに接続されており、更に中縦層71bは、コンタ

クトホール82を介して、例えばポリシリコン膜からなる半導体層1aのうち高濃度ソース領域1dに電気的に接続されている。尚、中縦層71bは、前述した諸機能を持つ中縦層71aと同一膜から同時形成される。

【0059】また容量線300は、画素電極9aが配置された画像表示領域からその周囲に延設され、定電位源と電気的に接続されて、固定電位とされる。係る定電位源としては、TFT30を駆動するための走査信号を走査線3aに供給するための走査線駆動回路（後述する）や画像信号をデータ線6aに供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でもよいし、対向基板20の対向電極21に供給される定電位でも構わない。更に、下側遮光膜11aについても、その電位変動がTFT30に対して悪影響を及ぼすこと为了避免るために、容量線300と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【0060】画素電極9aは、中縦層71aを中縦することにより、コンタクトホール83及び85を介して半導体層1aのうち高濃度ドレイン領域1eに電気的に接続されている。即ち、本実施形態では、中縦層71aは、蓄積容量70の画素電位側容量電極としての機能及び光吸収層としての機能に加えて、画素電極9aをTFT30へ中縦接続する機能を果たす。このように中縦層71a及び71bを中縦層として利用すれば、層間距離が例えば2000nm程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続でき、画素開口率を高めること可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【0061】図2及び図3において、電気光学装置は、透明なTFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。

【0062】TFTアレイ基板10に掘られた格子状の溝10c内に、走査線3a、データ線6a、TFT30等の配線や素子等は、埋め込まれている。これにより、TFTアレイ基板10上の積層体表面（即ち、画素電極9aの下地となる第3層間絶縁膜43の表面）において、配線、素子等が存在する領域と存在しない領域との間における段差が緩和されており、最終的には段差に起因した液晶の配向不良等の画像不良を低減できる。

【0063】図3に示すように、TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO(In dium Tin Oxide)膜などの透明導電性膜からなる。また

配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0064】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性膜からなる。また配向膜22は、ポリイミド膜などの有機膜からなる。

【0065】対向基板20には、格子状又はストライプ状の遮光膜を設けるようにしてもよい。このような構成を探ることで、前述の如く上側遮光膜を構成する容量線300及びデータ線6aと共に当該対向基板20上の遮光膜により、対向基板20側からの入射光がチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入するのを、より確実に阻止できる。更に、このような対向基板20上の遮光膜は、少なくとも入射光が照射される面を高反射性の膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。尚、このように対向基板20上の遮光膜は好ましくは、平面的に見て容量線300とデータ線6aとからなる遮光層の内側に位置するように形成する。これにより、対向基板20上の遮光膜により、各画素の開口率を低めることなく、このような遮光及び温度上昇防止の効果が得られる。

【0066】このように構成された、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーブ等のギャップ材が混入されている。

【0067】更に、画素スイッチング用TFT30の下には、下地絶縁膜12が設けられている。下地絶縁膜12は、下側遮光膜11aからTFT30を層間絶縁する機能の他、TFTアレイ基板10の全面に形成されることにより、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。

【0068】図3において、画素スイッチング用TFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁膜2、半導体層1aの低濃度ソース領域

1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。

【0069】走査線3a上には、高濃度ソース領域1dへ通じるコンタクトホール82及び高濃度ドレイン領域1eへ通じるコンタクトホール83が各々開孔された第1層間絶縁膜41が形成されている。

【0070】第1層間絶縁膜41上には中継層71a及び71b並びに容量線300が形成されており、これらの上には、中継層71a及び71bへ夫々通じるコンタクトホール81及びコンタクトホール85が各々開孔された第2層間絶縁膜42が形成されている。

【0071】尚、本実施形態では、第1層間絶縁膜41に対しては、1000°Cの焼成を行うことにより、半導体層1aや走査線3aを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第2層間絶縁膜42に対しては、このような焼成を行わないことにより、容量線300の界面付近に生じるストレスの緩和を図るようにしてよい。

【0072】第2層間絶縁膜42上にはデータ線6aが形成されており、これらの上には、中継層71aへ通じるコンタクトホール85が形成された第3層間絶縁膜43が形成されている。画素電極9aは、このように構成された第3層間絶縁膜43の上面に設けられている。

【0073】(ダミーパターンの構成及び作用効果) 次に、図4から図8を参照して、上述した電気光学装置の実施形態において、TFTアレイ基板10の溝10cv内に設けられるダミーパターン201の構成及び作用効果について詳述する。ここに図4は、図2のうちダミーパターン201を、半導体層1a及び走査線3a(図中点線で示す)と共に抜粋して示す平面図であり、図5は、図4のC-C'断面図であり、図6は、比較例におけるC-C'断面図である。図7は、ダミーパターン201をバーニング工程をC-C'断面に対応する断面上で示す工程図であり、図8は、比較例におけるバーニング工程をC-C'断面に対応する断面上で示す工程図である。

【0074】図4及び図5に示すように、TFTアレイ基板10に掘られた溝10cv内には、下地絶縁膜12を介してTFT30のチャネル領域1a'を含む半導体層1aが配置されており、走査線3a領域を除く半導体層1aの両脇に光吸収性のダミーパターン201が形成されている。ダミーパターン201は下地絶縁膜12の溝10cvの縁から底面にかけて形成されている。従つて図5に示すように、当該電気光学装置の動作時に、溝の段差或いは斜面に光L1(即ち、入射光又は戻り光若しくはそれに起因する内面反射光や多重反射光の一部)が到達しても、ダミーパターン201による吸収或いは反射により、光L1は少なくとも部分的に除去される。このため、溝の段差或いは斜面を光路として半導体層1

aに到達する光L2は、ダミーパターン201の存在により、光L1と比べて減衰される。

【0075】ここで、図6に示した比較例は、図5に示した本実施形態の構成からダミーパターン201を取り除いたものである。図6に示すように、比較例の場合には、電気光学装置の動作時に、溝の段差或いは斜面に光L1が到達しても、ダミーパターン201による吸収或いは反射がない。このため、溝の段差或いは斜面を光路として、半導体層1aに到達する光L2は、光L1と比べて殆ど減衰されない。即ち、この比較例では、溝10cVの存在に起因して、動作時に、半導体層1aを含んでなるTFTで光リーク電流が発生してしまう。

【0076】図5及び図6から分かるように、本実施形態によれば、TFTアレイ基板10に溝10cVを掘つて平坦化を図る構造を採用しつつ、耐光性を高めることが可能となる。従って、平坦化により液晶を良好に動作させることができ、しかも強力な入射光や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減されたTFT30により画素電極9aを良好にスイッチング制御できる。

【0077】ここで本実施形態では、図2及び図3に示した如く各種遮光膜によりTFT30に対する遮光を上下から行なっている。即ち、電気光学装置における上側（即ち、入射光の入射側）から入射する入射光に対しては、容量線300及びデータ線6aが、上側遮光膜として機能する。他方、当該電気光学装置における下側（即ち、入射光の出射側）から入射する戻り光に対しては、下側遮光膜11aが文字通り下側遮光膜として機能する。従って、図5に示した光L1は、实际上存在しないようにも考えられる。しかしながら、入射光は、基板10に対して斜め方向から入射する斜め光を含んでいる。例えば入射角が垂直から10度～15度位までずれる成分を10%程度含んでいる。同様に戻り光も、斜め光を含んでいる。このため、斜め光が、基板10の上面や下側遮光膜11aの上面等で反射されて、或いは上側遮光膜の下面等で反射されて、更にこれらが当該電気光学装置内の他の界面で反射されて、内面反射光・多重反射光が生成される。従って、図5に示した光L1は、TFT30の上下に各種遮光膜を備えていても、存在し得るので、本実施形態の如く、半導体層1aの脇で遮光を行なうダミーパターン201の効果は大きいといえる。

【0078】加えて本実施形態では、図4に示したように、ダミーパターン201は、走査線3aに対向する平面領域を避けて配置されている。このため、ダミーパターン201が導電性であっても低導電性であっても、走査線3aとダミーパターン201との間における寄生容量は殆ど又は実践上全く問題とならない。

【0079】更に本実施形態では、図4及び図5に示すように半導体層1aの両脇にダミーパターン201が形成されているので、図7に示すように、半導体層1a及

びダミーパターン201を半導体層1に対するフォトリソグラフィ処理及びエッチング処理によりパターニングする際に、溝の段差或いは斜面で反射される露光用の光を、ダミーパターン形成用のマスク部分により除去できる。

【0080】即ち、図7に示すように本実施形態の半導体層1a及びダミーパターン201を形成する際には、先ず図7の上段に示すように、下地絶縁膜12上の全面に半導体層1を形成し、更にその上にフォトレジスト600を形成する。そして、半導体層1a及びダミーパターン201に対応する遮光パターン602を持つマスク（レチクル）601を介して、フォトレジスト600を、露光用の光Leにより露光する。次に図7の下段に示すように、フォトレジスト600の非硬化部分を除去して、半導体層1a及びダミーパターン201に対応するパターンを有するフォトレジスト600aを形成する。その後、このフォトレジスト600aを焼成した後、これを介して半導体層1をエッチングすることにより、図4及び図5に示したような半導体層1a及びダミーパターン201を形成する。

【0081】従って、図7の上段に示す露光段階で、露光用の光Leは、溝の段差或いは斜面の上方において、ダミーパターン形成用の遮光パターン602部分により除去される。このため、溝の段差或いは斜面で露光用の光Leが反射されることはない。従って、図7の下段に示すように、パターニング後のフォトレジスト600aは、溝の段差或いは斜面で露光用の光が反射することによるハレーション効果が現れておらず、パターニング精度は極めて高いと言える。この結果、フォトレジスト600aをエッチングして得られる半導体層1aのパターン精度も非常に高くなる。

【0082】ここで、図8に示した比較例は、図7に示した本実施形態の構成からダミーパターン201を取り除いたものである。図8の上段に示す露光段階で、露光用の光Leのうち、溝の段差或いは斜面に向けられた露光用の光Le1は、（ダミーパターン形成用の遮光パターン部分が無く）半導体層1a形成用の遮光パターン602'を持つマスク601'を透過して、係る溝の段差或いは斜面で反射され、反射光Le2としてフォトレジスト600のうち半導体層1a形成用の部分にも、その側方から至る。即ち、比較例の場合には、溝の段差或いは斜面で露光用の光Le1が反射することによるハレーション効果が顕著に現れる。従って、図8の下段に示すように、パターニング後のフォトレジスト600a'は、パターニング精度が低い。この結果、このフォトレジスト600a'をエッチングして得られる半導体層のパターン精度も低くなってしまう。

【0083】図7及び図8から分かるように、本実施形態によれば、チャネル領域1a'を含む半導体層1aの微細化を図ると共に半導体層1aの形状のバラツキを低

減することにより、画素ピッチの微細化を図ることが可能となる。

【0084】以上図4から図8を参照して説明したように、本実施形態によれば、ダミーパターン201を形成することにより、TFTアレイ基板10に溝10c vを掘って平坦化を図る構造を採用しつつ、製造工程中のハレーションにより半導体膜パターン1aのパターン精度が低下する事態を効果的に阻止し(図7及び図8参照)、しかも製造後における当該電気光学装置の耐光性を高めることが可能となる(図5及び図6参照)。

【0085】本実施形態では特に、ダミーパターン201は、例えばポリシリコン膜、アモルファスシリコン膜等の半導体層1aと同一膜からなるので、ダミーパターン201を形成するのに追加的な工程は不要である。加えて、チャネル領域1a'における光吸収特性は、ダミーパターン201のそれと同一となるので、製造後における動作時に、チャネル領域1a'で吸収されやすい周波数成分の光を、ダミーパターン201で吸収できるため、チャネル領域1a'で生じる光リーク電流を低減する観点からは大変有利である。

【0086】以上説明した本実施形態では、ダミーパターン201は、半導体層1aの両脇に配置されているが、半導体層1aの片脇にのみ配置されるように構成しても、ある程度の類似効果が得られる。例えば、半導体層1aの周囲における配線や素子等の配置に鑑み、半導体層1aの両脇にダミーパターン201を配置することが困難である場合などには、レイアウトに無理を加えることなく、片脇にのみダミーパターン201を設ければよい。また、本実施形態では、ダミーパターン201は、溝の上部上、溝の側壁上及び底部上に跨るように配置されている。しかししながら、ダミーパターン201は、溝の側壁上及び底部上にのみ跨るように配置されてもよいし、溝の側壁上にのみ或いは底部上にのみ配置されてもよい。いずれの場合にも、ダミーパターン201が溝内における半導体層1aの脇に配置される限り類似効果が得られる。

【0087】以上説明した実施形態では、図3に示したように多数の導電層を積層することにより、画素電極9aの下地面(即ち、第3層間絶縁膜43の表面)におけるデータ線6aや走査線3aに沿った領域に段差が生じるのを、TFTアレイ基板10に溝10c vを掘ることで緩和しているが、これに加えて、下地絶縁膜12、第1層間絶縁膜41、第2層間絶縁膜42、第3層間絶縁膜43に溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化処理を行ってもよいし、第3層間絶縁膜43や第2層間絶縁膜42の上面の段差をCMP(Chemical Mechanical Polishing)処理等で研磨することにより、或いは有機SOG(Spin On Glass)を用いて平らに形成することにより、当該平坦化処理を行ってもよい。

【0088】更に以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示したようにLCD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0089】(ダミーパターンの各種形態)次に、図9から図13を参照して、図5に示したダミーパターン201に代えて、ダミーパターンとして採用可能な各種形態について説明する。ここに、図9から図13は夫々、ダミーパターンを、図4と同様に半導体層1a及び走査線3a(図中点線で示す)と共に抜粋して示す平面図である。

【0090】図9に示す形態では、ダミーパターン202は、半導体層1aの幅が狭くなっているのに対応して幅が広く形成されている。その他の構成については図1から図4に示した実施形態の場合と同様である。このように構成すれば、ダミーパターン202の形成領域が広い分だけ、その遮光機能を高められる。

【0091】図10に示す形態では、ダミーパターン203は、走査線3aを交差して伸びている。その他の構成については図1から図4に示した実施形態の場合と同様である。このように構成すれば、ダミーパターン203の形成領域が広い分だけ、その遮光機能を高められる。

【0092】但し、図10に示した形態では好ましくは、ダミーパターン203は、少なくとも走査線3aに対向する部分において低導電性とする。このように構成すれば、ダミーパターン203と走査線3aとの間における寄生容量は殆ど又は全く問題とならない。

【0093】図11に示す形態では、ダミーパターン204は、半導体層1aの幅が狭くなっているのに対応して幅が広く形成されている。その他の構成については図10に示した形態の場合と同様である。このように構成すれば、ダミーパターン204の形成領域が広い分だけ、その遮光機能を高められる。

【0094】図12に示す形態では、ダミーパターン205は、半導体層1aのドレイン領域から延設されたダミーパターン205aと、半導体層1aから分断されたダミーパターン205bとを備えている。そして、ダミ

ーパターン205aは好ましくは、画素電極（液晶容量）に対して蓄積容量を構築する一対の容量電極のうち画素電位側容量電極としても機能する。このように構成すれば、ダミーパターン205aを利用して蓄積容量を単独で（即ち、図2及び図3に示した蓄積容量70に代えて）又は追加的に（即ち、図2及び図3に示した蓄積容量70に加えて）構築できる。しかも、このような固定電位側容量電極とダミーパターン205aとは兼用であるので、積層構造及び製造プロセスの簡略化を図れる。その他の構成については図1から図4に示した実施形態の場合と同様である。

【0095】尚、図12に示したダミーパターン205については、後述の（製造プロセスの第1実施形態）及び（製造プロセスの第2実施形態）のところで詳細な説明を加える。

【0096】図13に示す形態では、ダミーパターン206は、半導体層1aのドレイン領域から延設されている。そして、ダミーパターン206は好ましくは、画素電極（液晶容量）に対して蓄積容量を構築する一対の容量電極のうち固定電位側容量電極としても機能する。このように構成すれば、ダミーパターン206を利用して蓄積容量を単独で（即ち、図2及び図3に示した蓄積容量70に代えて）又は追加的に（即ち、図2及び図3に示した蓄積容量70に加えて）構築できる。しかも、このような蓄積容量の容量電極とダミーパターン206とは兼用であるので、積層構造及び製造プロセスの簡略化を図れる。加えて、ダミーパターン206は、走査線3aを交差して伸びており、その遮光機能を高められると同時に、蓄積容量を作り込む平面領域を大きくできる。その他の構成については図1から図4に示した実施形態の場合と同様である。

【0097】尚、図13に示したダミーパターン206については、後述の（製造プロセスの第3実施形態）のところで詳細な説明を加える。

【0098】（製造プロセスの第1実施形態）次に、本発明による電気光学装置の製造プロセスの第1実施形態について図14から図16を参照して説明する。ここに図14は、製造プロセスの第1実施形態の各工程における電気光学装置の半導体層1a付近の様子を平面図で順を追って示す工程図であり、図15は、製造プロセスの第1実施形態の各工程における電気光学装置の半導体層1a付近の様子を図14のD-D'断面図で順を追って示す工程図であり、図16は、製造プロセスの第1実施形態の各工程における電気光学装置の半導体層1a付近の様子を図14のE-E'断面図で順を追って示す工程図である。

【0099】本製造プロセスの第1実施形態で形成するダミーパターンは、図12に示したものと同一である。即ちここでは、ダミーパターン205aは、半導体層1aのドレイン領域から延設された画素電位側容量電極とし

ても機能するダミーパターン205aと、半導体層1aから分断されたダミーパターン205bとを含んでなる。

【0100】先ず図14から図16の工程（1）に示すように、石英基板、ハードガラス、シリコン基板等のTFTアレイ基板10を用意し、フォトリソグラフィ並びにドライ及びウェットエッチングにより、例えば深度870nm程度であり且つ平面形状が格子状である溝10cVを掘る。ここで、好ましくはN<sub>2</sub>（窒素）等の不活性ガス雰囲気且つ約900～1300°Cの高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。

【0101】続いて、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スペッタリングにより、100～500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜を形成する。そしてフォトリソグラフィ及びエッチングにより、平面形状が格子状の下側遮光膜11aを形成する。

【0102】次に図14から図16の工程（2）では、下側遮光膜11a上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・fosfato）ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、塗化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば約500～2000nm程度とする。

【0103】続いて、下地絶縁膜12上に、約450～550°C、好ましくは約500°Cの比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700°Cにて約1～10時間、好ましくは、4～6時間のアニール処理を施すことにより、ポリシリコン膜1を約50～200nmの粒径、好ましくは約100nmの粒径となるまで固相成長させる。固相成長させる方法としては、RTA（Rapid Thermal Anneal）を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーニールでも良い。この際、画素スイッチング用のTFT30を、nチャネル型とするかpチャネル型にするかに応じて、V族元素やIII族元素のドーパントを僅かにイオン注入等によりドープしても良い。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有する半導体層1a及び所定パターンを有するダミーパターン205（即ち、ダミーパターン205a及び205b）を形成する。

【0104】本実施形態では特に、前述の如く半導体層1aとダミーパターン205とのパターニングを行う際に、ハレーション効果が低減されているため(図7参照)、これら半導体層1aとダミーパターン205とのパターン精度を高められる。

【0105】続いて、TFT30を構成する半導体層1aを約900～1300°Cの温度、好ましくは約1000°Cの温度により熱酸化して下層ゲート絶縁膜を形成し、続けて減圧CVD法等により、若しくは両者を続けて行うことにより、上層ゲート絶縁膜を形成する、これにより、多層の高温酸化シリコン膜(HTO膜)や塗化シリコン膜からなる(ゲート絶縁膜を含む)絶縁膜2を形成する。この結果、半導体層1a及びダミーパターン205は夫々、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。

【0106】続いて、フォトレジスト610で半導体層1aを覆った状態で、ダミーパターン601に、ボロン等のドーパントDPを予め設定された所定量だけイオン注入等によりドープして、ダミーパターン605に対して、任意の導電性を与える。但し、本実施形態では、ダミーパターン605は、容量電極等として用いないため、導電性を与えないでも構わない。逆に、図10及び図11に示したようにダミーパターンを走査線3aに重なる平面領域にも形成する場合には、少なくとも走査線3aに重なる部分については、マスクを設けてドーパントDPをイオン注入しないことにより、低導電性にするのが好ましい(即ち、走査線3aとダミーパターンとの間の寄生容量を低減できる)。

【0107】更に、このようなドーパントDPのイオン注入と同時に或いは別々に、画素スイッチング用のTFT30のスレッシュホールド電圧Vthを制御するために、半導体層1aのうちNチャネル領域或いはPチャネル領域に、ボロン等のドーパントを予め設定された所定量だけイオン注入等によりドープする。

【0108】次に図14から図16の工程(3)では、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドープシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約350nm程度である。そして、フォトリソグラフィ及びエッティングにより、不図示の画素電極中継層71a及びデータ線中継層71b(図2及び図3参照)を形成する。

【0109】例えば、TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a(ゲート電極)をマスクとして、PなどのV族元素のドーパントを低濃度で(例え

ば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて)ドープする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。更に、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広い平面パターンを有するレジスト層を走査線3a上に形成する。その後、PなどのV族元素のドーパントを高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて)ドープする。尚、例えば、低濃度のドープを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルファアライン型のTFTとしてもよい。この不純物のドープにより走査線3aは更に低抵抗化される。

【0110】次に図14から図16の工程(4)では、走査線3a上に、例えば、常圧又は減圧CVD法等によりTEOSガス、TEBガス、TMOPガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、塗化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜41を形成する。この第1層間絶縁膜41の膜厚は、例えば約500～2000nm程度とする。ここで好ましくは、800°Cの程度の高温でアニール処理し、層間絶縁膜41の膜質を向上させておく。

【0111】続いて、層間絶縁膜41に対する反応性イオンエッティング、反応性イオンビームエッティング等のドライエッティングにより、不図示のコンタクトホール82及び83(図2及び図3参照)を同時開孔する。

【0112】続いて、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドープシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約150nm程度である。そして、フォトリソグラフィ及びエッティングにより、不図示の画素電極中継層71a及びデータ線中継層71b(図2及び図3参照)を形成する。

【0113】続いて、画素電位側容量電極を兼ねる画素電極中継層71a及び第1層間絶縁膜41上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や塗化シリコン膜からなる誘電体膜75を膜厚50nm程度の比較的薄い厚さに堆積する。但し、誘電体膜75は、絶縁膜2の場合と同様に、单層膜或いは多層膜のいずれから構成してもよく、一般にTFTのゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。そして、誘電体膜75を薄くする程、蓄積容量70は大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、膜厚50nm以下の極薄い絶縁膜となるように誘電体膜75を形成すると有利である。

【0114】続いて、誘電体膜75上に減圧CVD法等

によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化して不図示の第1膜72(図2及び図3参照)を形成する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドープトシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100~500nmの厚さ、好ましくは約150nm程度である。この上に更に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚の第2膜73を形成する。そしてフォトリソグラフィ及びエッチングにより、所定パターンを持つ第1膜72及び第2膜73からなる容量線300が完成する。

【0115】統いて、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、塗化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜42を形成する。第1層間絶縁膜42の膜厚は、例えば500~1500nm程度である。

【0116】統いて、第2層間絶縁膜42に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、不図示のコンタクトホール81(図2及び図3参照)を開孔する。

【0117】統いて、第2層間絶縁膜42上の全面に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜として、約100~500nmの厚さ、好ましくは約300nmに堆積する。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有するデータ線6aを形成する。

【0118】次に図14から図16の工程(5)では、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、塗化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜43を形成する。第3層間絶縁膜43の膜厚は、例えば500~1500nm程度である。

【0119】統いて、第3層間絶縁膜43に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、不図示のコンタクトホール85(図2及び図3参照)を開孔する。

【0120】統いて、第3層間絶縁膜43上に、スパッタ処理等により、ITO膜等の透明導電性膜を、約50~200nmの厚さに堆積する。そして、フォトリソグラフィ及びエッチングにより、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0121】統いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等

により、配向膜16(図3参照)が形成される。

【0122】他方、図3に示した対向基板20についてには、ガラス基板等が先ず用意され、額縁としての遮光膜が、例えば金属クロムをスパッタした後、フォトリソグラフィ及びエッチングを経て形成される。尚、これらの遮光膜は、導電性である必要はなく、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0123】その後、対向基板20の全面にスパッタ処理等により、ITO等の透明導電性膜を、約50~200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22(図3参照)が形成される。

【0124】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材(図22及び図23参照)により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0125】以上説明したように本発明による製造プロセスの第1実施形態によれば、上述した本発明による電気光学装置を製造できる。そして、TFTアレイ基板10に溝10cvを掘った後、溝10cv内に半導体層1aとダミーパターン205とを同一膜から同時にフォトリソグラフィ処理及びエッチング処理により形成するので(図14から図16の工程(2)参照)、半導体膜パターンとダミーパターンとを別個に形成するのと比較して、製造プロセスを簡略化できる。しかも特に、図7及び図8を参照して説明したように、これら半導体層1aとダミーパターン205とを同時にパターニングする際に、溝10cvの段差或いは斜面で反射される露光用の光を、ダミーパターン205形成用のマスク部分により除去でき、ハレーション効果を低減できる。従って、半導体層1aにおけるパターン精度を高められる。

【0126】(製造プロセスの第2実施形態)次に、本発明による電気光学装置の製造プロセスの第2実施形態について図17及び図18(並びに図16)を参照して説明する。ここに図17は、製造プロセスの第2実施形態の各工程における電気光学装置の半導体層1a付近の様子を平面図で順を追って示す工程図であり、図18は、製造プロセスの第2実施形態の各工程における電気光学装置の半導体層1a付近の様子を図17のD-D'断面図で順を追って示す工程図である。そして、図16は、前述した製造プロセスの第1実施形態のみならず本第2実施形態の各工程における電気光学装置の半導体層1a付近の様子を図17のE-E'断面図で順を追って

示す工程図でもある（即ち、E-E'断面における工程図は、図14から図16を参照して説明した製造プロセスの第1実施形態の場合と同様である）。また、図17及び図18において、図14から図16に示した第1実施形態の場合と同様の構成要素には同様の参照符号を付し、それらの説明は適宜省略する。

【0127】本製造プロセスの第2実施形態で形成するダミーパターンは、図12に示したものと同一である。即ちここでは、ダミーパターン205は、半導体層1aのドレイン領域から延設された画素電位側容量電極としても機能するダミーパターン205aと、半導体層1aから分断されたダミーパターン205bとを含んでなる。

【0128】先ず図17及び図18（並びに図16）の工程（1）から工程（2）では、図14から図16に示した製造プロセスの第1実施形態の工程（1）から工程（2）と同様の工程が行なわれる。但し、本実施形態では、ダミーパターン205aを画素電位側容量電極として機能させる。このため工程（2）で、ダミーパターン205aに対し、画素電位側容量電極として相応しい導電性を有するよう十分なドープを行なうようにする。係るドープは、半導体層1aに対するドープと同時に行なってもよいし、別々に行なってもよい。

【0129】次に図17及び図18（並びに図16）の工程（3')では、走査線3aを形成する際に、画素電位側容量電極としてのダミーパターン205aに対向する平面領域に、走査線3aと同一ポリシリコン膜から固定電位側容量電極215を形成する。従って、絶縁膜2を介して対向配置されたダミーパターン205a及び固定電位側容量電極215から、蓄積容量70'を単独で（即ち、図2及び図3に示した蓄積容量70に代えて）又は追加的に（即ち、図2及び図3に示した蓄積容量70に加えて）構築できる。その他については、図14から図16に示した製造プロセスの第1実施形態の工程（3）と同様の工程が行なわれる。

【0130】次に、図17及び図18（並びに図16）の工程（4）から工程（5）では、図14から図16に示した製造プロセスの第1実施形態の工程（4）から工程（5）と同様の工程が行なわれる。但し、本実施形態では、固定電位側容量電極215を定電位に落とすためのコンタクト形成を、他のコンタクト形成と同時に或いは別個に行なうようにする。

【0131】以上説明したように本発明による製造プロセスの第2実施形態によれば、特にダミーパターン205が画素電位側容量電極としても機能しており、蓄積容量70'を単独で又は追加的に内蔵する（図18の工程（5）参照）電気光学装置を製造できる。そして第1実施形態の場合と同様に、TFTアレイ基板10に溝10c vを掘った後、溝10c v内に半導体層1aとダミーパターン205とを同一膜から同時にフォトリソグラフ

ィ処理及びエッチング処理により形成するので、半導体膜パターンとダミーパターンとを別個に形成するのと比較して、製造プロセスを簡略化できる。しかもハレーション効果を低減することにより、半導体層1aにおけるパターン精度を高められる。

【0132】加えて、本製造プロセスの第2実施形態によれば、蓄積容量70'の誘電体膜とTFTのゲート絶縁膜とを、同一膜たる絶縁膜2から同時に形成可能であるため、高品質の絶縁膜2を一枚形成すれば、蓄積容量70'における容量値及び信頼性の増加とTFT30の性能及び信頼性の増加とを同時に図れるので有利である。

【0133】（製造プロセスの第3実施形態）次に、本発明による電気光学装置の製造プロセスの第3実施形態について図19から図21を参照して説明する。ここに図19は、製造プロセスの第3実施形態の各工程における電気光学装置の半導体層1a付近の様子を平面図で順を追って示す工程図であり、図20は、製造プロセスの第3実施形態の各工程における電気光学装置の半導体層1a付近の様子を図19のD-D'断面図で順を追って示す工程図であり、図21は、製造プロセスの第3実施形態の各工程における電気光学装置の半導体層1a付近の様子を図19のE-E'断面図で順を追って示す工程図である。また、図19から図21において、図14から図16に示した第1実施形態の場合と同様の構成要素には同様の参照符号を付し、それらの説明は適宜省略する。

【0134】本製造プロセスの第3実施形態で形成するダミーパターンは、図13に示したものと同一である。即ちここでは、ダミーパターン206は、半導体層1aのドレイン領域から延設されており、画素電位側容量電極としても機能する。

【0135】先ず図19から図21の工程（1）では、図14から図16に示した製造プロセスの第1実施形態の工程（1）と同様の工程が行なわれる。

【0136】次に図19から図21の工程（2a）では、半導体層1aを形成する際に、図13に示した平面形状を有するダミーパターン206を、半導体層1aと同一膜から同時に形成する。その他については、図14から図16に示した製造プロセスの第1実施形態の工程（2）と同様の工程が行なわれる。

【0137】次に図19から図21の工程（2b）では、絶縁膜2上に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100～500nm程度の膜厚に積んだ後、フォトリソグラフィ及びエッチングにより、画素電位側容量電極としてのダミーパターン206に対向する領域に固定電位側容量電極216を形成する。従って、絶縁膜2を介して対向配置されたダミーパターン206及び固定電位側容量電極216から、蓄積容量7

0"を単独で(即ち、図2及び図3に示した蓄積容量70に代えて)又は追加的に(即ち、図2及び図3に示した蓄積容量70に加えて)構築できる。このような固定電位側容量電極216の形成に相前後して、絶縁膜2のうち半導体層1aのチャネル領域に対向する部分がエッティング除去され、その上に、絶縁膜220が形成される。この絶縁膜は、例えば減圧CVD法等により形成すればよく、約20~150nmの厚さ、好ましくは約30~100nmの厚さとする。尚、このように絶縁膜2のうち半導体層1aのチャネル領域に対向する部分をエッティング除去すれば、TFT30のゲート絶縁膜を薄くできるが、膜厚に問題が無ければ、ゲート絶縁膜を絶縁膜2及び絶縁膜220の2層から形成してもよいし、或いは、ゲート絶縁膜を絶縁膜220ではなく絶縁膜2から形成してもよい。

【0138】次に、図19から図21の工程(3)から工程(5)では、図14から図16に示した製造プロセスの第1実施形態の工程(3)から工程(5)と同様の工程が行なわれる。但し、本実施形態では、固定電位側容量電極216を定電位に落とすためのコンタクト形成を、他のコンタクト形成と同時に或いは別個に行なうようとする。

【0139】以上説明したように本発明による製造プロセスの第3実施形態によれば、特にダミーパターン206が画素電位側容量電極としても機能しており、蓄積容量70"を単独で又は追加的に内蔵する(図20及び図21の工程(5)参照)電気光学装置を製造できる。そして第1実施形態の場合と同様に、TFTアレイ基板10に溝10cvを掘った後、溝10cv内に半導体層1aとダミーパターン206とを同一膜から同時にフォトリソグラフィ処理及びエッチング処理により形成するので、半導体膜パターントとダミーパターンとを別個に形成するのと比較して、製造プロセスを簡略化できる。しかもハレーション効果を低減することにより、半導体層1aにおけるパターン精度を高められる。

【0140】本製造プロセスの第3実施形態によれば特に、固定電位側容量電極216は、TFTアレイ基板10において画素電位側容量電極たるダミーパターン206よりも電極の上層側に位置し且つ走査線3aよりも下層側に位置する(図21の工程(3)から工程(5)参照)。従って、ダミーパターン206と走査線3aとの間には、固定電位の固定電位側容量電極216が存在するので、両者間における寄生容量を低減できる。即ち、図13に示した如き、走査線3aが形成された平面領域に重ねて、導電性のダミーパターン206を形成しても両者間の寄生容量が問題とならないため、当該寄生容量による弊害を招くことなく蓄積容量70"を作り込む平面領域を増大可能となる。

【0141】更に本製造プロセスの第3実施形態によれば、固定電位側容量電極216を、金属又は合金を含む

遮光膜から形成するので、ダミーパターン206と協働して遮光性能を一層高められる。但し、固定電位側容量電極216を導電性のポリシリコン膜等から形成することも可能である。

【0142】尚、本製造プロセスの第3実施形態では、走査線3aの下層側に固定電位側容量電極216を設けるようにしたが、走査線3aの上層側に固定電位側容量電極を設けることも可能である。例えば、図19から図21の工程(3)を工程(2b)の前に行なうと共にその場合の工程(2b)で固定電位側容量電極216を形成する前に、画素電位側容量電極たるダミーパターン206上の絶縁膜2又は220部分をエッティング除去すれば、残された方の絶縁膜を誘電体膜として対向配置されたダミーパターン206及び固定電位側容量電極216により、蓄積容量を構築できる。但し、この場合には、層間絶縁膜を介して走査線3aに重ねて固定電位側容量電極或いは容量線を配置することは可能であるが、蓄積容量を作り込める領域自体は、走査線3aを除く領域となる(即ち、若干狭くなる)。

【0143】以上説明した各実施形態では、溝10cvの平面形状は格子状であるが、データ線6aに沿ったストライプ状であってもよいし、走査線3aに沿ったストライプ状であってもよい。いずれの場合にも、ダミーパターンを形成することにより、半導体層1aのバーニング精度を高める効果及び半導体層1aについての遮光性能を高める効果は得られる。

【0144】(電気光学装置の全体構成)以上のように構成された各実施形態における電気光学装置の全体構成を図22及び図23を参照して説明する。尚、図22は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図23は、図22のH-H'断面図である。

【0145】図22において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、画像表示領域10aの周辺を規定する額縁としての遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられてい

る。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電気的に導通をとるための導通材106が設けられている。そして、図23に示すように、図22に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固定されている。

【0146】尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0147】以上図1から図23を参照して説明した実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape Automated bonding) 基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDLC (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0148】以上説明した実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイッ

クフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0149】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴なう電気光学装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

#### 【図面の簡単な説明】

【図1】本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】図2のうちダミーパターンを、半導体層及び走査線と共に抜粋して示す平面図である。

【図5】図4のC-C'断面図である。

【図6】比較例における図4のC-C'断面図である。

【図7】本実施形態におけるダミーパターンをバーニング工程をC-C'断面に対応する断面上で示す工程図である。

【図8】比較例におけるバーニング工程をC-C'断面に対応する断面上で示す工程図である。

【図9】本実施形態において採用可能な他のダミーパターンを、図4と同様に半導体層及び走査線と共に抜粋して示す平面図である。

【図10】本実施形態において採用可能な他のダミーパターンを、図4と同様に半導体層及び走査線と共に抜粋して示す平面図である。

【図11】本実施形態において採用可能な他のダミーパターンを、図4と同様に半導体層及び走査線と共に抜粋して示す平面図である。

【図12】本実施形態において採用可能な他のダミーパターンを、図4と同様に半導体層及び走査線と共に抜粋して示す平面図である。

【図13】本実施形態において採用可能な他のダミーパターンを、図4と同様に半導体層及び走査線と共に抜粋して示す平面図である。

【図14】本発明による製造プロセスの第1実施形態の各工程における電気光学装置の半導体層付近の様子を平面図で順を追って示す工程図である。

【図15】本発明による製造プロセスの第1実施形態の各工程における電気光学装置の半導体層付近の様子を図14のD-D'断面図で順を追って示す工程図である。

【図16】本発明による製造プロセスの第1実施形態の各工程における電気光学装置の半導体層付近の様子を図14のE-E'断面図で順を追って示す工程図である。

【図17】本発明による製造プロセスの第2実施形態の

各工程における電気光学装置の半導体層付近の様子を平面図で順を追って示す工程図である。

【図18】本発明による製造プロセスの第2実施形態の各工程における電気光学装置の半導体層付近の様子を図17のD-D'断面図で順を追って示す工程図である。

【図19】本発明による製造プロセスの第3実施形態の各工程における電気光学装置の半導体層付近の様子を平面図で順を追って示す工程図である。

【図20】本発明による製造プロセスの第3実施形態の各工程における電気光学装置の半導体層付近の様子を図19のD-D'断面図で順を追って示す工程図である。

【図21】本発明による製造プロセスの第3実施形態の各工程における電気光学装置の半導体層付近の様子を図19のE-E'断面図で順を追って示す工程図である。

【図22】実施形態の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図23】図22のH-H'断面図である。

#### 【符号の説明】

1 a …半導体層

1 a' …チャネル領域

1 b …低濃度ソース領域

1 c …低濃度ドレイン領域

1 d …高濃度ソース領域

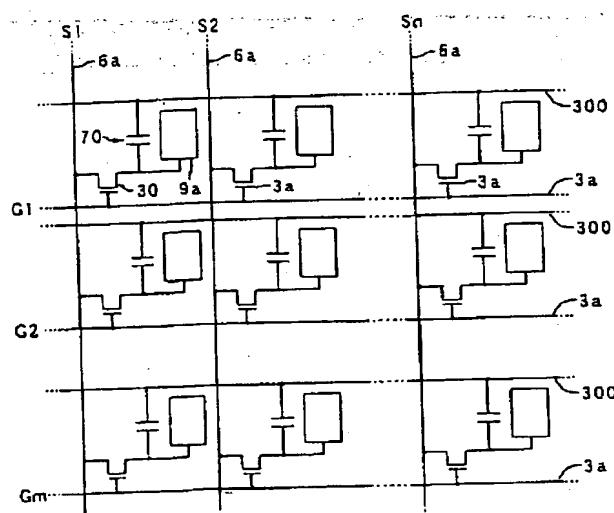
1 e …高濃度ドレイン領域

2 …絶縁膜

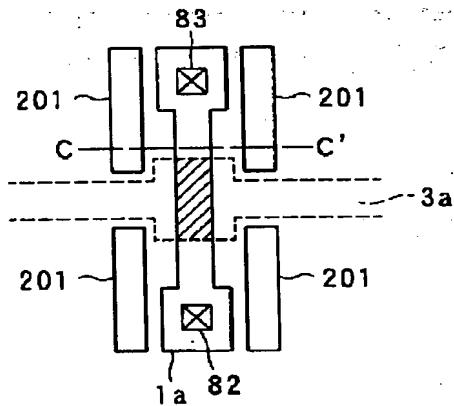
3 a …走査線

- 6 a …データ線
- 9 a …画素電極
- 10 …TFTアレイ基板
- 10 c v …溝
- 11 a …下側遮光膜
- 12 …下地絶縁膜
- 16 …配向膜
- 20 …対向基板
- 21 …対向電極
- 22 …配向膜
- 30 …TFT
- 50 …液晶層
- 70 …蓄積容量
- 71 a …中継層
- 71 b …中継層
- 72 …容量線の第1膜
- 73 …容量線の第2膜
- 75 …誘電体膜
- 81、82、83、85 …コンタクトホール
- 201～206 …ダミーパターン
- 215、216 …固定電位側容量電極
- 220 …絶縁膜
- 300 …容量線
- 600 …フォトレジスト
- 601 …マスク(レチクル)
- 602 …遮光パター

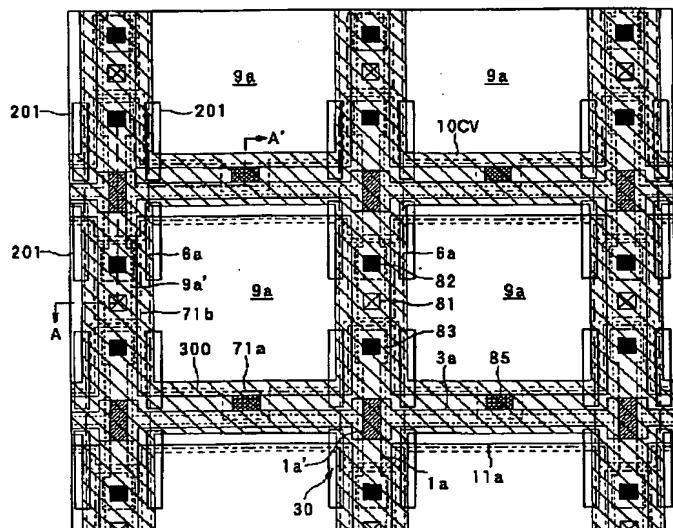
【図1】



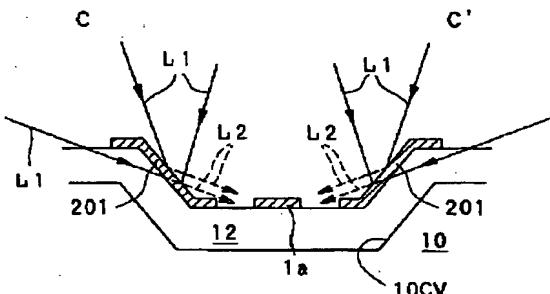
【図4】



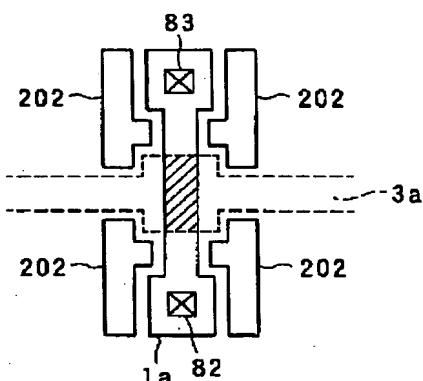
【図2】



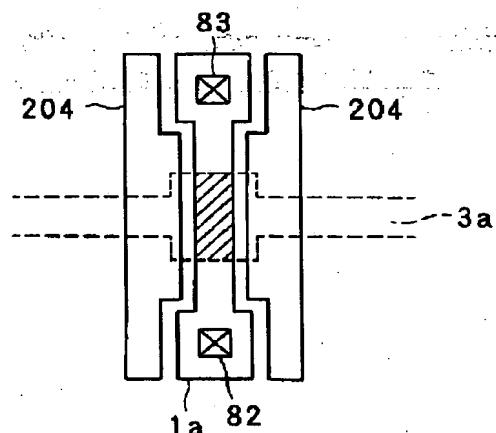
【図5】



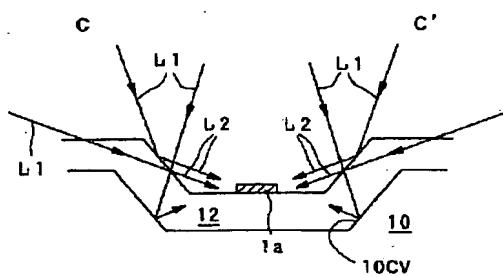
【図9】



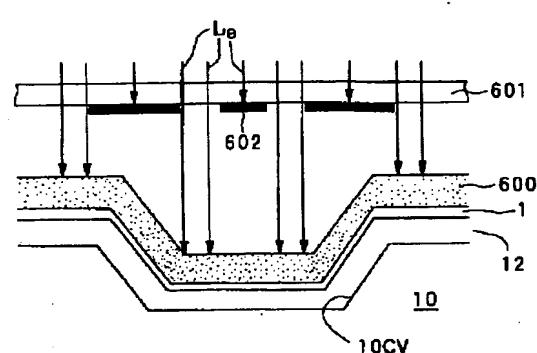
【図11】



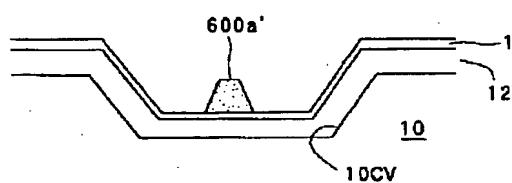
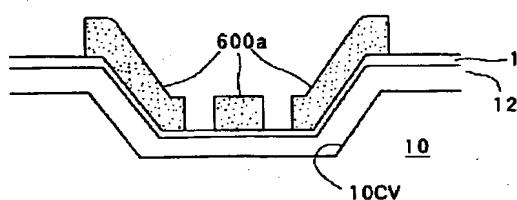
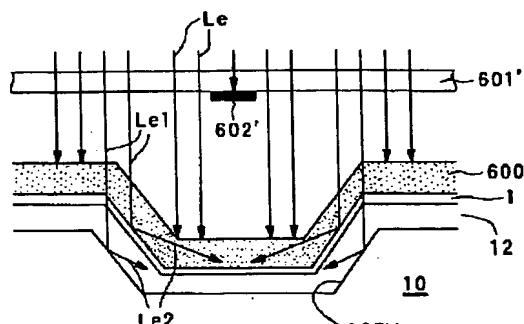
【図6】



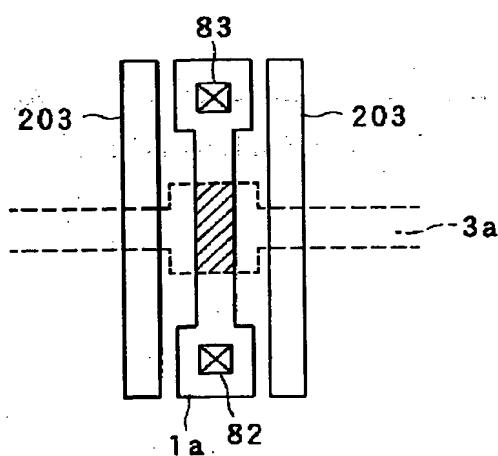
【図7】



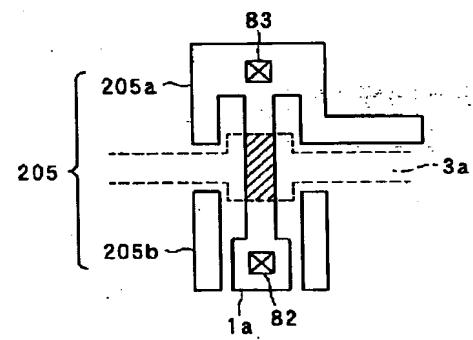
【図8】



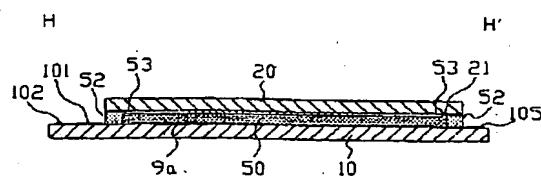
【図10】



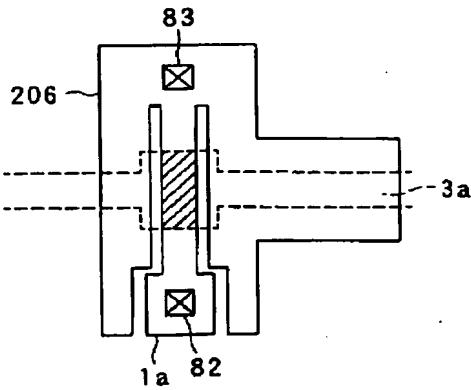
【図12】



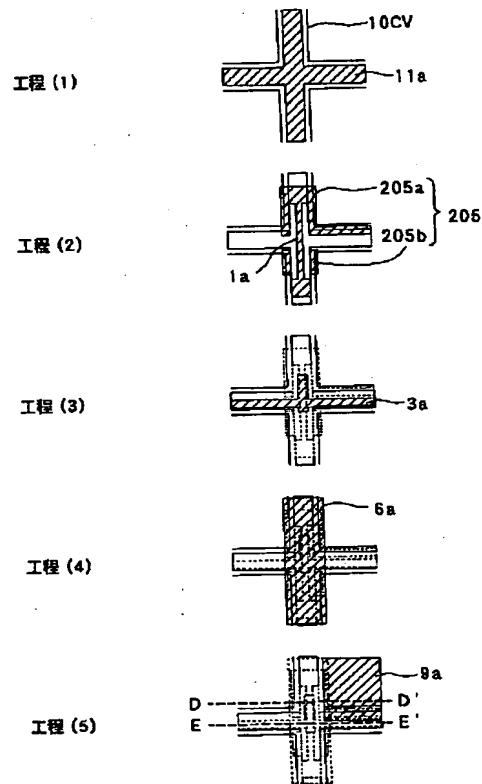
【図23】



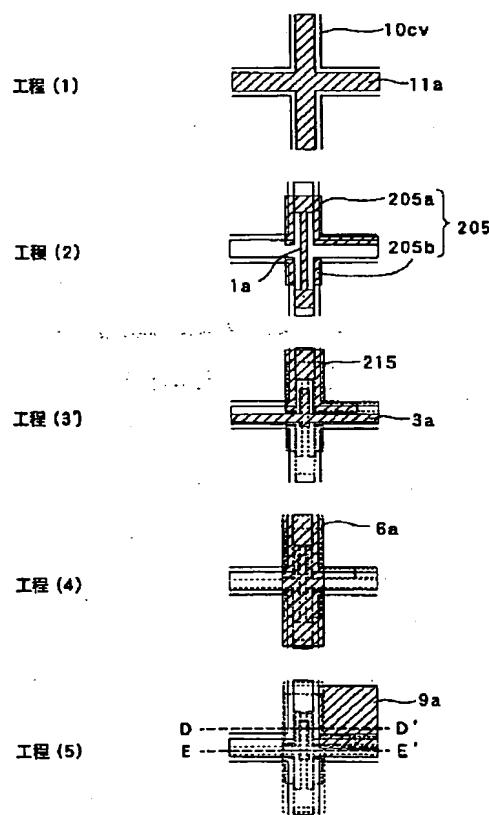
【図13】



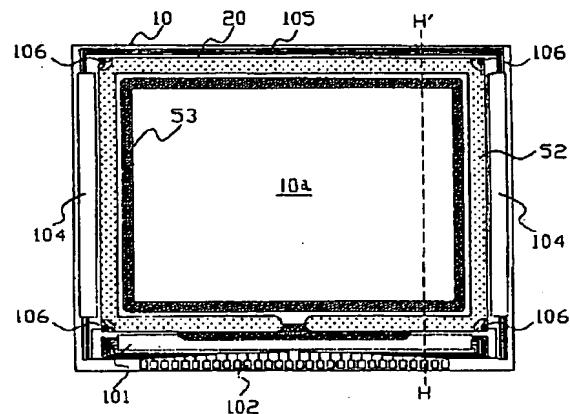
【図14】



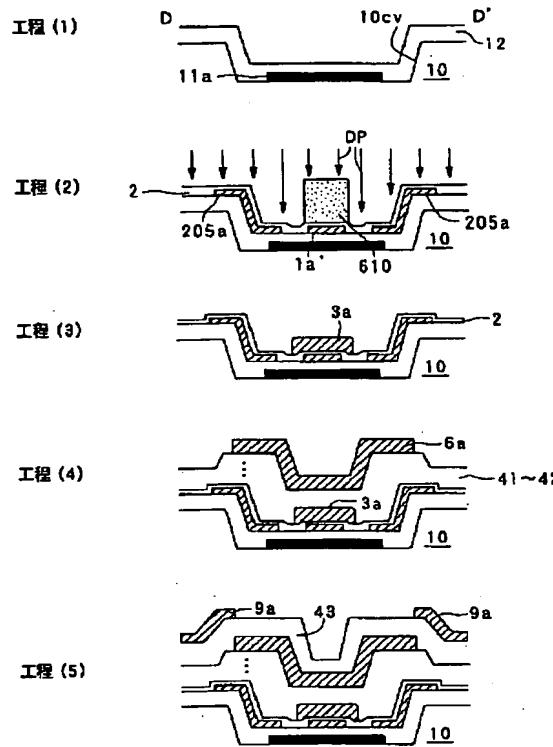
【図17】



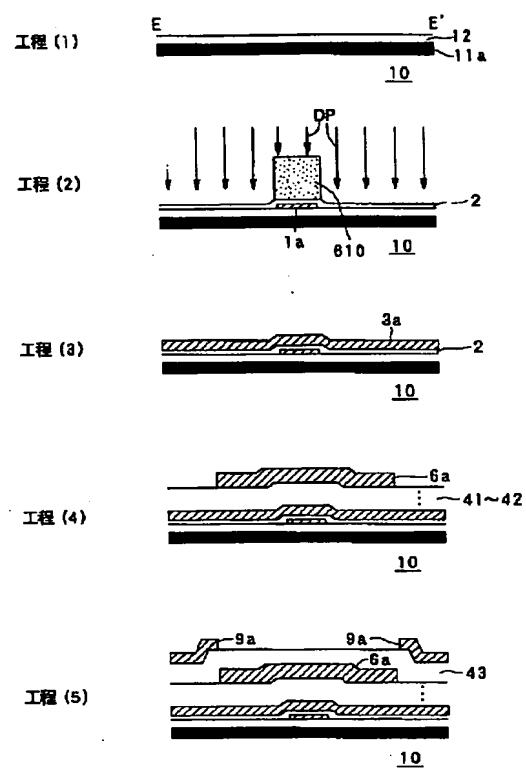
【図22】



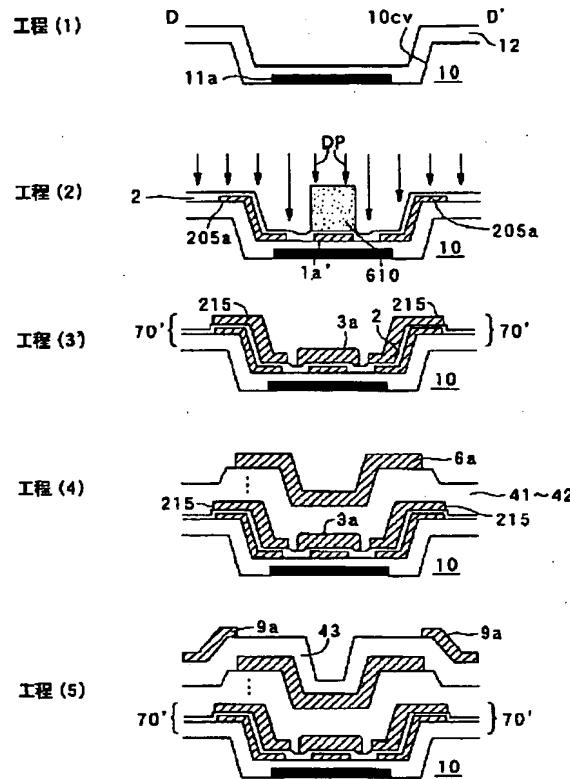
【図15】



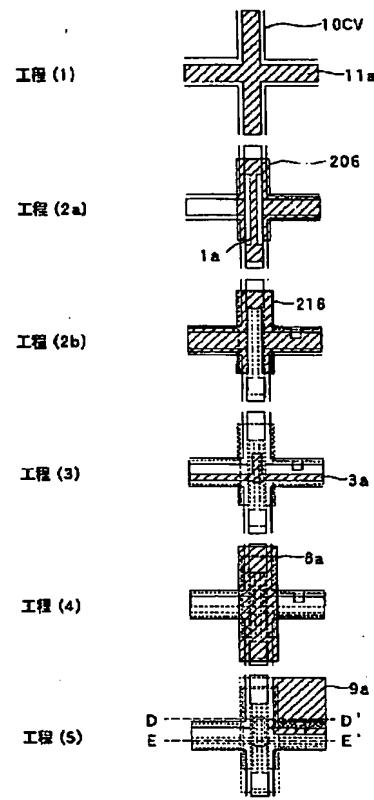
【図16】



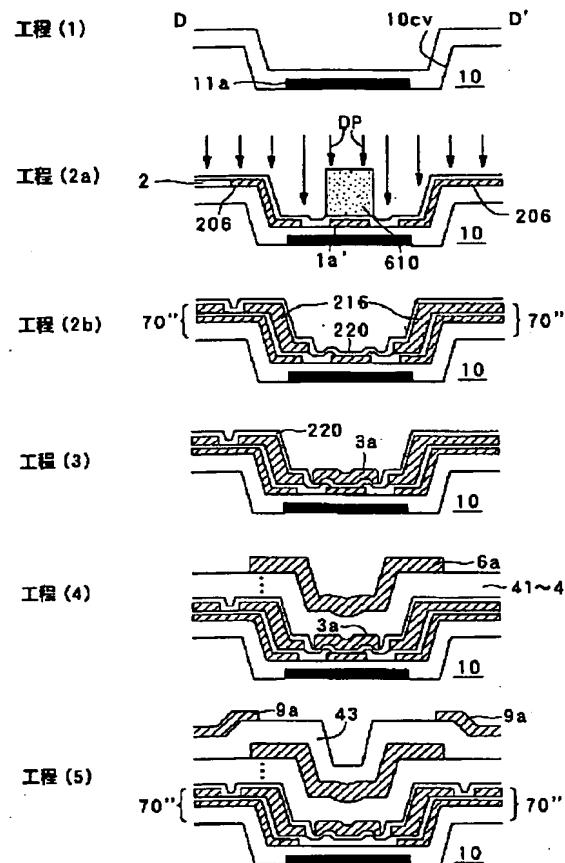
【図18】



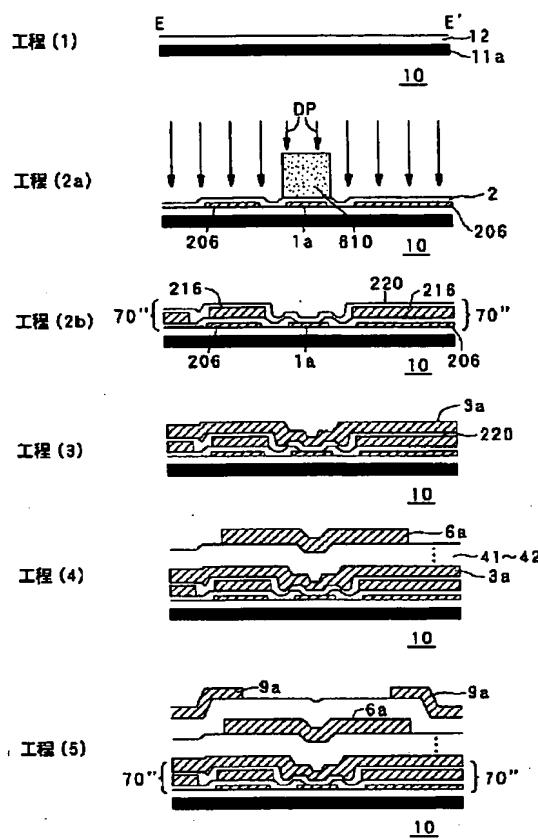
【図19】



【図20】



【図21】



フロントページの続き

Fターム(参考) 2H090 JA02 JB02 JC03 JD14 LA04  
LA05  
2H092 JA26 JB51 KB13 KB21 KB25  
MA07 MA27 NA01 NA19 NA24  
PA01 PA09 RA05  
5C094 AA03 AA31 BA03 BA43 CA19  
CA24 DA14 DA15 EA01 EA04  
EA07 EB02 FB12 FB14 FB15  
5F110 AA06 AA18 AA21 BB01 CC02  
DD02 DD03 DD05 DD12 DD13  
DD14 DD21 DD25 EE09 EE28  
EE45 FF02 FF03 FF09 FF23  
FF32 GG02 GG13 GG32 GG47  
GG52 GG60 HJ01 HJ04 HJ13  
HL08 HL24 HM14 HM15 NN03  
NN04 NN22 NN23 NN24 NN25  
NN26 NN35 NN40 NN41 NN44  
NN45 NN54 NN72 NN73 PP02  
PP03 PP10 PP13 QQ09 QQ11  
QQ19

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**